UNIVERSIDAD POLITÉCNICA DE MADRID
Escuela Universitaria
de
Ingeniería Técnica de Telecomunicación

PROYECTO FIN DE CARRERA

SISTEMA DE ADQUISICIÓN DE DATOS BASADO EN FPAA

VICTOR J. DE LEON VILLAMOR

Septiembre de 2012

A todos los que ya no están, porque sin ellos no podríamos explicar el presente ni entender el futuro.

Las FPAA´s son dispositivos analógicos programables. Estos dispositivos se basan en el uso de condensadores conmutados junto con amplificadores operacionales. Este tipo de tecnología presenta una serie de ventajas, ya que combinan las ventajas de dispositivos digitales, como la reprogramación en función de las variables del entorno que los rodean, con la diferencia de ser dispositivos analógicos, permitiendo la realización de una amplia gama de diseños analógicos en un solo chip.

En este proyecto se ha realizado un estudio sobre el funcionamiento de los condensadores conmutados y su uso en el dispositivo AN221E04 del fabricante Anadigm. Una vez descrita la arquitectura del AN221E04 y explicadas las bases del funcionamiento de los condensadores conmutados, utilizando como ejemplo los modelos facilitados por Anadigm, se desarrolla un modelo de amplificador de instrumentación teórico y se describe la metodología para su implementación en un AN221E04 con el software Anadigm Designer 2.

Una vez implementado este modelo de amplificador de instrumentación se han efectuado una serie de pruebas con el objetivo de estudiar la capacidad de estos dispositivos. Dichas pruebas ponen de manifiesto que las FPAA´s tienen una serie de ventajas a tener en cuenta a la hora de realizar diseños analógicos. La precisión obtenida por el modelo de amplificador de instrumentación realizado es más que aceptable, llegando a obtener errores de ganancia inferiores al 1% con ganancias de 200V/V sin tener la necesidad de realizar grandes ajustes.

En las conclusiones de este estudio se exponen tanto ventajas como inconvenientes de la utilización de FPAA´s en diseños analógicos. La principal ventaja de este uso es el ahorro de costes, ya que una vez desarrollada una plataforma de diseño, la capacidad de reconfiguración permite utilizar dicha plataforma para un amplio abanico de aplicaciones, reduciendo el número de componentes y simplificando las etapas de diseño. Como desventaja, las FPAA´s tienen una serie de limitaciones qué hay que tener en cuenta en ciertos casos pudiendo hacer irrealizable un diseño concreto; como puede ser el valor máximo o mínimo de ganancia.

The FPAA's are programmable analog devices. These devices rely on the use of switched capacitors together with operational amplifiers. This type of technology has a number of advantages, because they combine the advantages of digital devices such as the reprogramming function of the variables of the surrounding environment, with the difference being analog devices, allowing the realization of a wide range of designs analog on a single chip.

This project has conducted a study on the operation of the switched capacitor and its use in the device AN221E04 from Anadigm. Having described the architecture of AN221E04 and explained the basis for the operation of the switched capacitor, using the example models provided by Anadigm is developing an instrumentation amplifier theory model and describes the methodology for implementation in a AN221E04 with the Anadigm Designer 2 software.

Once implemented this instrumentation amplifier model, have made a series of tests in order to study the ability of these devices. These tests show that the FPAA's have a number of advantages to take into account when making analog designs. The accuracy obtained by the instrumentation amplifier model is made more than acceptable, earning gain errors of less than 1% with gains of 200V / V without the need for major adjustments.

The conclusions of this study are presented both advantages and disadvantages of using FPAA's in analog designs. The main advantage of this application is the cost savings, because once developed a platform for design, reconfiguration capability allows you to use this platform for a wide range of applications, reducing component count and simplifying design stages. As a disadvantage, the FPAA's have a number of limitations which must be taken into account in certain cases may make impossible a specific design, such as the maximum or minimum gain, or the magnitude of the possible settings.

INDICE

1 Introducción……2

2 Base Teórica……3

2.1 Dispositivos Anadigm.....3

A Arquitectura general……3

B Bloque analógico……4

B.1 Celdas de entrada.....4

B.2 Celdas de salida……6

B.3 CAB.....6

B.4 LUT……8

B.5 Parámetros eléctricos……8

2.2 Condensadores Conmutados.....11

2.3 Amplificador de Instrumentación en FPAA……14

2.4 Sofware Anadigm……21

3 Descripción experimental……30

3.1 Metodología de diseño de un Amplificador de Instrumentación……...30

3.2 Medidas realizadas.....36

A. Pruebas……40

B. Pruebas, corregido el error de ganancia y el error de offset……...45

4. Manual de usuario.....50

5. Conclusiones.....54

6. Bibliografía.....56

1 Introducción

En este proyecto se ha estudiado la utilización de FPAA´s (Field Programmable Analog Array) como amplificadores de instrumentación. La elección de estos dispositivos para este estudio se fundamenta en su versatilidad para el diseño de sistemas de adquisición de datos, ya que son capaces de reconfigurarse mediante software, permitiendo realizar una plataforma de desarrollo válida para cualquier tipo de sensor o transductor estando limitado por los niveles de voltaje y corriente a emplear por el sensor o el transductor.

La utilización de una única plataforma de desarrollo supone una reducción de costes de producción a la hora de fabricar productos para el mercado, ya que no es necesario el cambio de componentes y/o diseño de las PCB´s por lo que es una comodidad para el diseñador de dichos productos.

Durante este proyecto se ha estudiado el tipo de tecnología que estos dispositivos utilizan en su funcionamiento. Esta tecnología conocida como condensadores conmutados ofrece una serie de ventajas cuando se utilizan conjuntamente con amplificadores operacionales. La principal ventaja de este tipo de dispositivos es la capacidad de reconfiguración de todo el dispositivo mediante el uso de una herramienta CAD de diseño, cambiando completamente la funcionalidad del sistema en el que esten integrados.

El estudio se ha centrado en la FPAA AN221E04 del fabricante Anadigm ya que, tanto la herramienta CAD como la documentación ofrecida por el fabricante son suficientes para la comprensión de este tipo de tecnología y su uso, además de tener un coste razonable, unos 125 $ la tarjeta de desarrollo y unos 7,65$ el chip AN221E04. Anadigm es una compañía fundada en el año 2000 con base en Arizona, USA y con el apoyo de Motorola, heredando la tecnología de su chip MPAA020. Esta compañía dispone de unas 12 patetentes que van desde el año 2001 al 2004 y con temas tan diversos como dispositivos semiconductores y metodos de simulación, metodos para la reconfiguración de dispositivos programables,etc.

En este estudio se ha tratado de poner a prueba las capacidades de dicho dispositivo, sobre todo en la precisión a la hora de funcionar con voltajes continuos. Los resultados son suficientemente claros como para no obviar este tipo de tecnología en el desarrollo de productos electrónicos.

2 Base Teórica

2.1 Dispositivos Anadigm

Una FPAA es un dispositivo electrónico programable analógico. Este tipo de dispositivos se pueden comparar a las FPGA´s en el modo de utilización, la única y gran diferencia es que en vez de implementar diseños electrónicos digitales, las FPAA´s implementan diseños analógicos.

Este PFC se centra en una FPAA modelo AN221E04 de Anadigm y su tarjeta de desarrollo AN221K04-v3 para realizar diversas pruebas con el objetivo de estudiar estos dispositivos como solución alternativa a diseños basados en tecnología monolítica o de componentes discretos.

A - Arquitectura general

En la figura 1 se puede observar la arquitectura del AN221E04 con los diferentes elementos que lo componen, con el objetivo de conocer sus ventajas y limitaciones, además de tener una visión global de su funcionamiento.

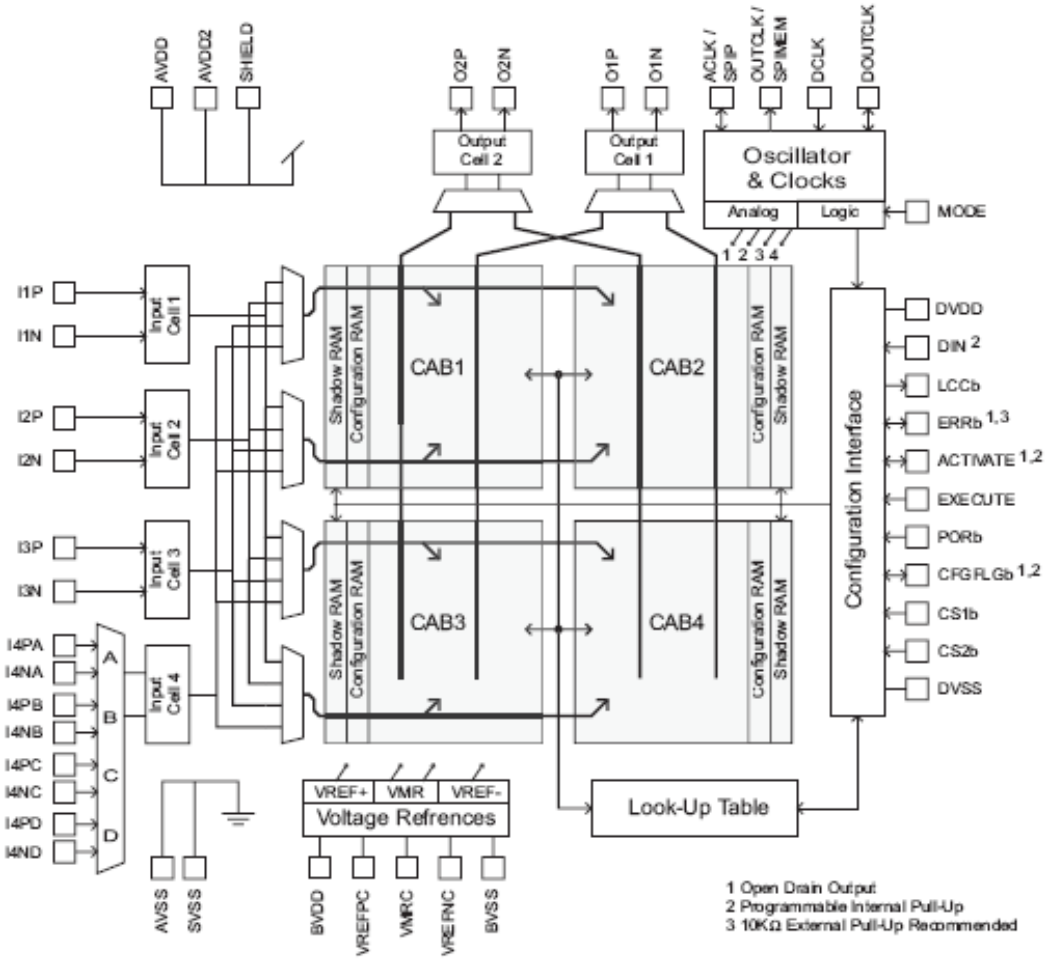


Figura 1- Arquitectura general del AN221E04 de Anadigm

El AN221E04 es una FPAA compuesta por dos grandes bloques perfectamente diferenciados:

- Bloque analógico:
  En este bloque se implementarán los diseños realizados en la herramienta CAD proporcionada por el fabricante.

- Bloque digital:
  Este bloque es el encargado de recibir los datos generados en la herramienta CAD, interpretarlos y a continuación, realizar la configuración del bloque analógico para implementar el diseño realizado en la herramienta CAD.

A continuación se explicará con más detalle cada bloque y sus partes diferenciadas.

Alguna de las características a tener en cuenta de estos dispositivos son la posibilidad de modificar el diseño implementado en la FPAA “on the fly” (al vuelo[1]) y con un tiempo de reconfiguración relativamente corto, o la posibilidad de realizar diseños de gran complejidad empleando varios dispositivos en serie, configurables mediante un sistema compatible con bus SPI.

B - Bloque analógico

Este bloque está formado por 4 celdas de entrada, 2 celdas de salida, 4 CAB (Configurable Analog Block), Voltajes de referencia y un bloque de señales de reloj y un oscilador.

B.1 Celdas de entrada:

El AN221E04 dispone de 4 celdas de entrada, 3 de las cuales son como la mostrada en la figura 2. Este tipo de celda de entrada es bidireccional, es decir se puede configurar tanto de entrada como de salida. Otra característica que tiene es la posibilidad de conectar señales diferenciales y no diferenciales; en este ultimo caso, la FPAA internamente conecta la entrada negativa al VMR (Voltage Mid Rail) del bloque de voltajes de referencia.

El siguiente elemento de que disponen este tipo de celdas es un bloque de amplificación, pudiendo trabajar en modo amplificador de ganancia programable o en modo amplificador chopper para la reducción del offset de entrada.

Las celdas de entrada disponen de un filtro anti-aliasing de segundo orden con frecuencia de corte programable.

[1] Proceso de reconfiguración del dispositivo sin la necesidad de ser reinicializado. Ver apartado B.3 CAB “on the fly”.

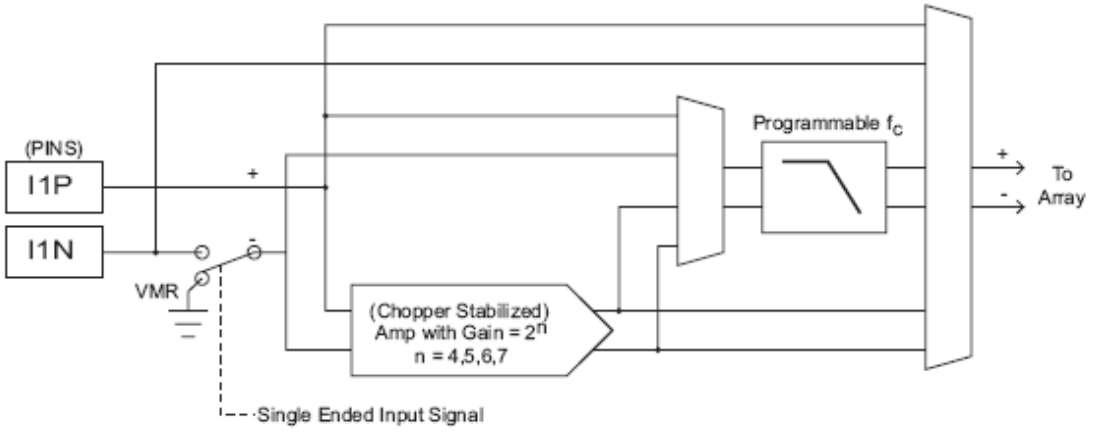


Figura 2 - Celda de entrada simple

Todos los parámetros de los diferentes elementos que componen la celda de entrada tienen valores acotados, lo que provocan ciertas limitaciones, por suerte siempre cabe la posibilidad de hacer un bypass de cualquiera de los elementos.

Otra de las consideraciones necesarias para la utilización de estos dispositivos es configurar la/s celda/s de entrada como salidas, ya que no están pensadas para trabajar con impedancias bajas y/o capacidades de carga demasiado altas, ya que estas situaciones pueden provocar que los CAB´s no funcionen correctamente. El motivo por el cual hay que tener en cuenta esta consideración es debido al diseño de los AO´s de los CAB (las impedancias bajas sobrecargan los AO y las capacidades altas los desestabilizan), ya que la celda al estar configurada como salida, implica que no haya ningún tipo de buffer entre los AO´s de los CAB y la carga.

La otra celda de entrada tiene la estructura mostrada en la figura 3. El funcionamiento y características son las mismas que las otras tres celdas de entrada, la única diferencia es un multiplexador bidireccional analógico para dar la posibilidad de conectar 4 pares de señales diferenciales u 8 señales no diferenciales.

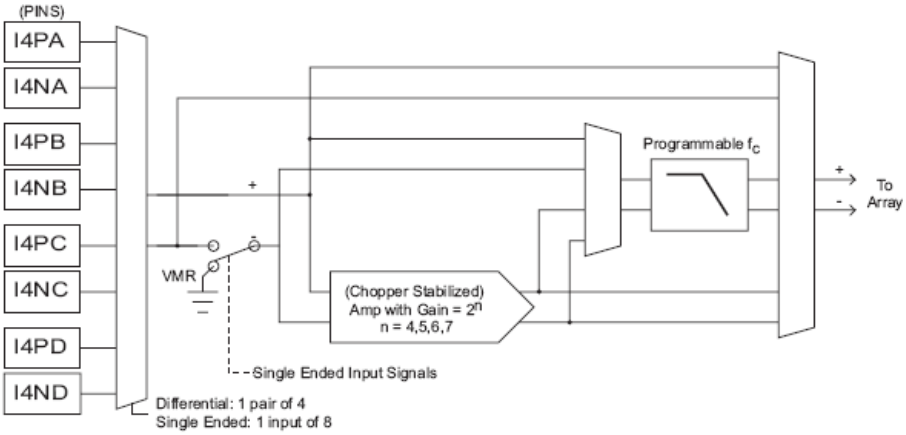


Figura 3 - Celda de entrada con multiplexor de señales

B.2 Celdas de salida:

El AN221E04 dispone de dos celdas de salida. Su estructura es la mostrada en la figura 4. Las celdas de salida disponen de un filtro paso bajo con la frecuencia de corte programable. Este filtro es idéntico al filtro disponible en las celdas de entrada, realizando la tarea de filtro de reconstrucción de 2º orden. A continuación hay una etapa que transforma la señal diferencial a no diferencial. La única consideración a tener en cuenta para las señales no diferenciales es la utilización de uno de los pines del chip y la tensión VMR del bloque de tensiones de referencia. Para las señales diferenciales se utilizan los dos pines.

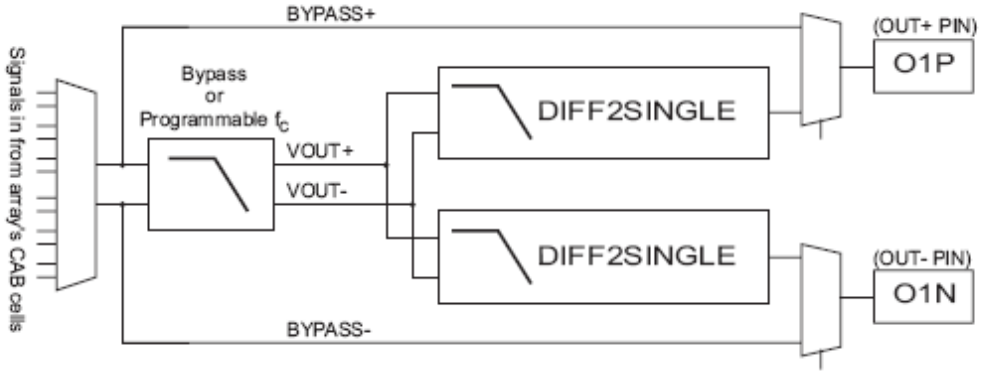


Figura 4 - Celda de salida

Al igual que sucede en las celdas de entrada la utilización del filtro y la etapa que transforma la señal diferencial a no diferencial se puede puentear, teniendo las precauciones ya comentadas sobre las impedancias de carga.

Otra posible configuración de que disponen estas celdas es la obtención de señales digitales que contienen la información obtenida por los ADC SAR de los CAB (Configurable Analog Block).

B.3 CAB

Los CAB, son la tecnología desarrollada por Anadigm para implementar estas FPAA´s. El AN221E04 dispone de 4 CAB´s con la estructura mostrada en la figura 5. La principal etapa de un CAB esta formada por una matriz de conmutadores analógicos, seguida por otra matriz de 8 condensadores conmutados y otra matriz de conmutadores analógicos. Esta etapa, está seguida de 2 AO´s y un comparador, los cuales están realimentados a la matriz de conmutadores analógicos de la entrada. Esta estructura permite definir la topología necesaria para implementar los diseños disponibles en la herramienta CAD que proporciona el fabricante.

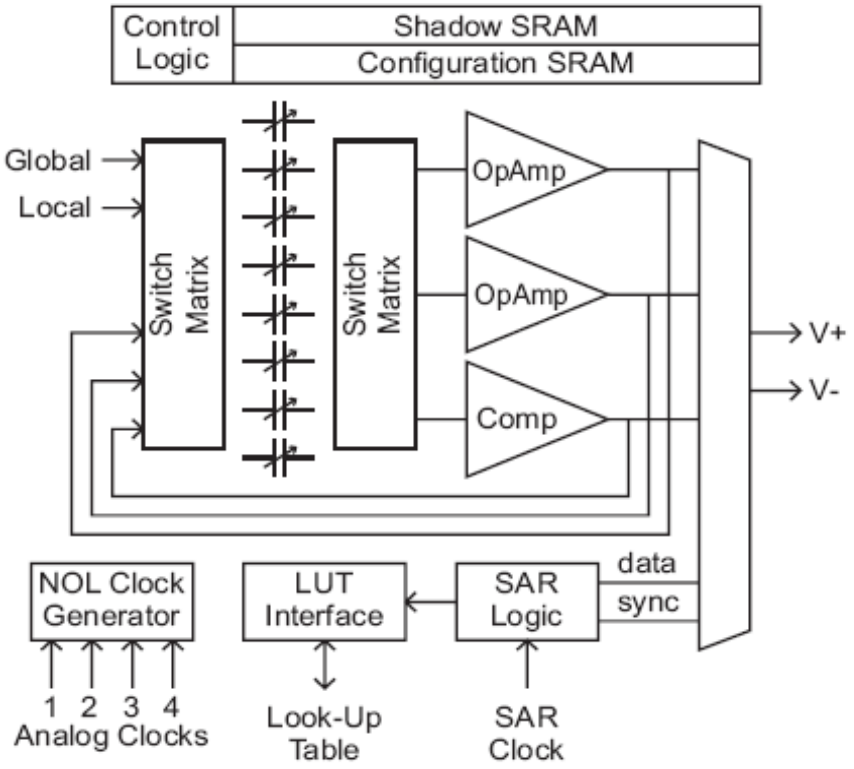


Figura 5 - CAB

La matriz de condensadores conmutados necesita del uso de señales de reloj no solapadas (Non-Overlapping, NOL) para su correcto funcionamiento. Estas señales son proporcionadas por el bloque NOL Clock Generator, que las obtiene de las cuatro señales de reloj del sistema.

Para entender el funcionamiento de este bloque, se explicara la tecnología de condensadores conmutados de Anadigm en un apartado posterior.

Otro bloque esta compuesto por un ADC SAR de 8 bits, que junto a la LUT (Look-up table) de que dispone el AN221E04 se pueden utilizar para la implementación de funciones analógicas no lineales, como: multiplicación de voltaje, control automático de ganancia o linealización. También se puede usar el ADC junto con alguna de las celdas de salida en modo digital, para la obtención de un ADC de 8 bits.

Por ultimo el bloque de configuración y control lógico esta compuesto por una memoria SRAM de configuración, una “shadow SRAM“ y la lógica de control que hace que todos los CAB funcionen según el diseño realizado en la herramienta CAD.

”On the fly”

La memoria “shadow SRAM“ se utiliza para precargar la configuración de los CAB, pudiendo reconfigurar la FPAA sin interrumpir el conexionado de las señales o reinicializar toda la FPAA. Además sólo se modifican los valores que cambien en el diseño, no siendo necesario la reescritura de toda la

configuración e interrumpir el conexionado de las señales, lo cuál permite cambios de configuración en periodos de tiempo relativamente cortos.

B.4 LUT:

La única Look Up Table (LUT) de 256 Bytes dispone de dos modos de funcionamiento. En el primero de ellos la selección de la dirección de memoria de la LUT la utiliza el/los ADC SAR. Se detallará su funcionamiento en el siguiente subapartado.

En el segundo, la LUT emplea un contador incremental propio, que se autoresetea al llegar al final de la cuenta. En este modo la LUT escribe datos contenidos en ella sobre dos zonas objetivo de escritura de la “shadow SRAM“. Pudiendo activar la escritura de la SRAM de configuración y por lo tanto cambiar el diseño implementado en la FPAA mediante, la activación de la señal externa EXECUTE, la definición de un punto de corte con un comparador, una detección de paso por cero o cuando el ultimo byte de la nueva configuración está escrita en la “shadow SRAM“. Este modo se utiliza generalmente para la generación de señales arbitrarias o para modulaciones temporales analógicas.

Operaciones con el ADC SAR:

Gracias al diseño de los CAB, se dispone de un ADC de tipo SAR (Successive Approximation Register) de 8 bits por cada CAB. En modo ADC SAR son necesarias dos señales de reloj, las cuales son proporcionadas por el bloque de señales de reloj y oscilador, con frecuencias en proporción 1 a 16. Una de las señales marcará el periodo de conversión y el más rápido de los dos se emplea en las operaciones SAR.

La codificación empleada es signo más magnitud, estando el voltaje de entrada del ADC comprendida entre VMR más-menos 1,5 Voltios, en la codificación el primer bit indica la magnitud y los 7 restantes el módulo.

B.5 Parámetros eléctricos

En este apartado se muestran las principales características eléctricas del AN221E04 proporcionadas por su fabricante, Anadigm:

Absolute Maximum Ratings

Parameter	Symbol	Min	Typ	Max	Unit	Comment
DC Power Supplies	AVDD(2) BVDD DVDD	-0.5	-	5.5 V	V	AVSS, BVSS, DVSS and SVSS all held to 0.0 V *
xVDD to x'VDD Offset		-0.5		0.5	V	Ideally all supplies should be at the same voltage
Package Power Dissipation	Pmax 25°C Pmax 85°C	-	-	1.8 0.73	W	Still air, No heatsink, 4 layer board, 44 pins. θja = 55°C/W
Analog and Digital Input Voltage	Vinmax	Vss-0.5	-	Vdd+0.5	V	
Ambient Operating Temperature	Top	-40	-	85	°C	
Storage Temperature	Tstg	-65		150	°C	

* Absolute Maximum DC Power Supply Rating - The failure mode is non-catastrophic for Vdd of up to 7 volts, but will cause reduced operating life time. The additional stress caused by higher local electric fields within the CMOS circuitry may induce metal migration, oxide leakage and other time/quality related issues.

Recommended Operating Conditions

Parameter	Symbol	Min	Typ	Max	Unit	Comment
DC Power Supplies	AVDD(2) BVDD DVDD	4.75	5.00	5.25	V	AVSS, BVSS, DVSS and SVSS all held to 0 V
Analog Input Voltage.	Vina	VMR-1.9	-	VMR+1.9	V	VMR is 2.0 volts above AVSS
Digital Input Voltage	Vind	0	-	DVDD	V	
Junction Temp	Tj	-40	-	125	°C	Assume a package θja = 55°C/W[b]

[b] In order to calculate the junction temperature you must first empirically determine the current draw (total Idd) for the design. Once the current consumption established then the following formula can be used; TJ = Ta + Idd x Vdd x 55 °C/W, where Ta is the ambient temperature. The worst case θja of 55 °C/W assumes no air flow and no additional heatsink of any type.

General Digital I/O Characteristics (Vdd = 5v +/- 10%, -40 to 85 deg.C)

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Voltage Low	Vih	0	-	30	-	% of DVDD
Input Voltage High	Vil	70	-	100	-	% of DVDD
Output Voltage Low	Vol	0	-	20	-	% of DVDD
Output Voltage High	Voh	80	-	100	-	% of DVDD
Input Leakage Current	Iil	-	-	±1.0	µA	All pins except DCLK
Input Leakage Current	Iil	-	±12.0	-	µA	DCLK if a crystal is connected and the on-chip oscillator is used
Max. Capacitive Load	Cmax	-	-	10	pF	The maximum load for a digital output is 10 pF // 10 Kohm
Min. Resistive Load	Rmin	10	-	-	Kohm	The maximum load for a digital output is 10 pF // 10 Kohm
DCLK Frequency	Fmax	-	-	40	MHz	For MODE = 1, Max DCLK is 16 MHz
ACLK Frequency	Fmax	-	-	40	MHz	Divide down to <8 MHz prior to use as a CAB clock
Clock Duty Cycle	-	45	-	55	%	All clocks

Analog Inputs General

Parameter	Symbol	Min	Typ	Max	Unit	Comment
High Precision Input Range [c]	Vina	0.5	-	3.5	V	VMR +/- 1.5v
Standard precision Input Range [d]	Vina	0.1	-	3.9	V	VMR +/- 1.9v
High Precision Differential Input [c]	Vdiffina	0	-	+/-3.0	V	Common mode voltage = 2 V
Standard Precision Differential Input [d]	Vdiffina	0	-	+/-3.8	V	Common mode voltage = 2 V
Common Mode Input Range	Vcm	1.8	2.0	2.2	V	
Input Offset	Vos	-	5	15	mV	Non-chopper stabilized input
Input Frequency	Fain	0	<2	8	MHz	Max value is clock, CAM and input stage dependant. Input frequency is limited to approx <2MHz due to CAM signal processing which is based on sampled data architectures.

[c] High precision operating range provides optimal linearity and dynamic range.
[d] Standard precision operating range provides maximum dynamic range and reduced linearity.

Analog Outputs

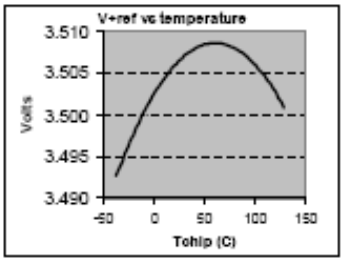
(See "Output Cell" section in the AN120E04/AN220E04 user manual for more details)

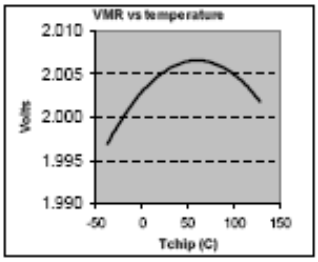
Parameter	Symbol	Min	Typ	Max	Unit	Comment
High Precision Output Range [c]	Vouta	0.5	-	3.5	V	VMR +/- 1.5v
Standard Precision Output Range [d]	Vouta	0.1	-	3.9	V	VMR +/- 1.9v
High Precision Differential Output [c]	Vdiffouta	-	-	+/-3.0	V	Common mode voltage = 2 V
Standard precision Differential Output [d]	Vdiffouta	-	-	+/-3.8	V	Common mode voltage = 2 V
Common Mode Voltage	Vcm	1.9	2.0	2.1	V	

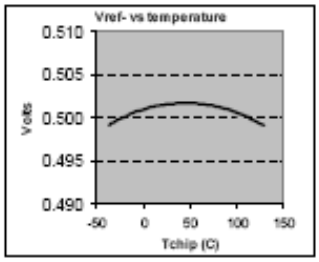
[c]. High precision operating range provides optimal linearity and dynamic range.
[d]. Standard precision operating range provides maximum dynamic range and reduced linearity.

VMR (voltage Mid Rail) and VREF (Reference Voltage) Ratings

Parameter	Symbol	Min	Typ	Max	Unit	Comment
VMR Output Voltage	Vvmr	1.925	2.01	2.075	V	At 25°C, Vdd=5.00 volts
VREF+ Output Voltage	Vref+	3.4	3.51	3.6	V	At 25°C, Vdd=5.00 volts
VREF- Output Voltage	Vref-	0.45	0.505	0.55	V	At 25°C, Vdd=5.00 volts
Output Voltage Deviation VREF+, VMR, VREF-	Vrefout	-	0.5	1	%	Over process and supply voltage corners
Voltage Temperature Coefficient VREF+, VMR, VREF-	Vreftc	-	-	-	-	See typical graphical data below -40°C to 125°C [1]
Power Supply Rejection Ratio, VMR	PSSR	60	-	-	dB	
Power Supply Rejection Ratio Vref+ and Vref-	PSSR	75	-	-	dB	
Start Up Time	Tstart	-	-	1	ms	Assuming recommended capacitors







ESD Characteristics

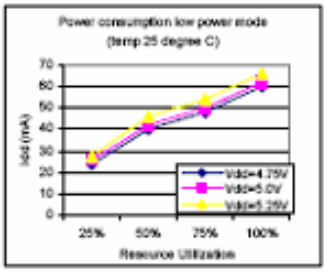
Pin Type	Human Body Model	Machine Model	Charged Device Model
Digital Inputs	4000V	250V	4kV
Digital Outputs	4000V	250V	4kV
Digital Bidirectional	4000V	250V	4kV
Digital Open Drain	4000V	250V	4kV
Analog Inputs	2000V	200V	4kV
Analog Outputs	1500V	100V	4kV
Reference Voltages	1500V	100V	4kV

The AN221E04 is an ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000V readily accumulate on the human body and test equipment and can discharge without detection. Although the AN221E04 device features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high-energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

Power Consumption – Low Power Mode

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Minimum Power [1a]	Idd	-	0.2	-	mA	Vdd=5.00 volts, Tj=25°C
Nominal 25% Power [1b]	Idd	-	25	30	mA	Vdd=5.00 volts, Tj=25°C
Nominal 50% Power [1c]	Idd	-	42	47	mA	Vdd=5.00 volts, Tj=25°C
Nominal 75% Power [1d]	Idd	-	50	55	mA	Vdd=5.00 volts, Tj=25°C
Maximum Power [1e]	Idd	-	60 63 66	- 68 -	mA	Vdd=4.75 volts, Tj=85°C Vdd=5.00 volts, Tj=25°C Vdd=5.25 volts, Tj= -40°C
Temperature Coefficient	-	-	-2	-10	µA/°C	

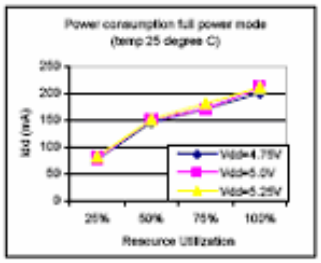
1a. External clock, all analog function disabled, memory active.
1b FPAA active elements – Two core op-amps (low power mode), one comparator, one input (bypass mode), one output filter and differential to single-ended converter (low power mode).
1c. FPAA active elements – Four core op-amps (low power mode), two comparators (one using SAR), two inputs (bypass mode), two output filters and two differential to single-ended converters (low power mode).
1d FPAA active elements – Six core op-amps (low power mode), three comparators (two using SAR), three inputs (bypass mode, two output filters and two differential to single-ended converters (low power mode).
1e FPAA active elements – Eight core op-amps (low power mode), four comparators (two using SAR), four inputs (bypass mode), two output filters and two differential to single-ended converters (low power mode).



Power Consumption – Full Power Mode

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Full Power Mode Minimum Power [2a]	Idd	-	1.5	-	mA	Vdd=5.00 volts, T_j=25°C
Full Power Mode Nominal 25% Power[2b]	Idd	-	80	90	mA	Vdd=5.00 volts, T_j=25°C
Full Power Mode Nominal 50% Power[2c]	Idd	-	150	160	mA	Vdd=5.00 volts, T_j=25°C
Full Power Mode Nominal 75% Power[2d]	Idd	-	170	190	mA	Vdd=5.00 volts, T_j=25°C
Full Power Mode Maximum Power[2e]	Idd	-	200 210 220	- 230 -	mA	Vdd=4.75 volts, T_j=85°C Vdd=5.00 volts, T_j=25°C Vdd=5.25 volts, T_j= -40°C

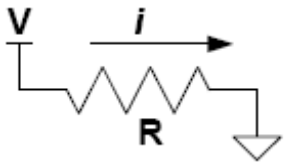
2a. AN220E04 Crystal Oscillator, all analog functions disabled, memory active.
2b. FPAA active elements – Two core op-amps, one comparator, one input filter and chopper amplifier, one output filter and differential to single-ended converter.
2c. FPAA active elements – Four core op-amps, two comparators (one using SAR), two input filters and two chopper amplifiers, two output filters and two differential to single-ended converters.
2d FPAA active elements – Six core op-amps, three comparators (two using SAR), three input filters and three chopper amplifiers, two output filters and two differential to single-ended converters.
2e FPAA active elements – Eight core op-amps, four comparators (two using SAR), four input filters and two chopper amplifiers, two output filters and two differential to single-ended converters.



2.2 Condensadores Conmutados

Este apartado del proyecto define la teoría en la que se basa el funcionamiento de los condensadores conmutados aplicados al diseño de circuitos electrónicos analógicos.

Un resistor R al aplicarle un voltaje V produce una corriente i proporcional al voltaje aplicado según la Ley de Ohm. En la figura 6 se muestra el esquema electrónico y su ecuación de comportamiento, suponiendo que la corriente i se produce por un movimiento de carga continuo y lineal en el tiempo.



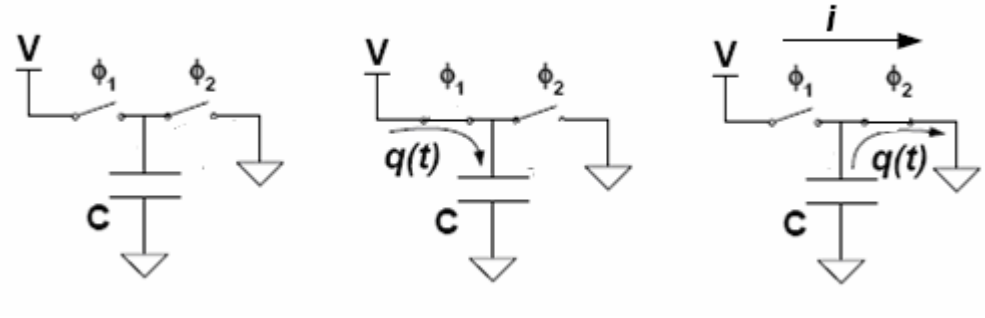
$$i = \frac{V}{R}$$

Figura 6 – Ley de Ohm sobre un resistor

Se puede obtener un resistor equivalente utilizando el circuito electrónico de la figura 7(a). Consta de un condensador y dos interruptores, con dos fases de funcionamiento. En la fase 1, ver figura 7(b), el interruptor Φ_1 está cerrado mientras que el interruptor Φ_2 esta abierto. Esta situación provoca un movimiento de la carga hacia el condensador C y su ecuación de funcionamiento es la siguiente:

$$q = C \cdot V$$

donde q es la carga almacenada en el condensador durante el periodo de tiempo que dura la fase 1, C es la capacidad del condensador y V el voltaje en sus bornas.



(a) **(b)** **(c)**

Figura 7 – (a) Condensador conmutado, (b) Fase 1, (c) Fase 2

En la fase 2, ver figura 7(c), el interruptor Φ_1 está abierto y el interruptor Φ_2 está cerrado, lo que provoca que el condensador se descargue. Suponiendo que la duración temporal de la fase 1 y la fase 2 son iguales y que el tiempo de conmutación de los interruptores Φ_1 y Φ_2 es cero, se produce una corriente i con la siguiente ecuación de funcionamiento:

$$i = \frac{q}{t} = f_S \cdot q = f_S \cdot C \cdot V$$

donde f_s es la frecuencia del ciclo formado por la fase 1 y la fase 2.

A diferencia del comportamiento de un resistor, el movimiento de carga no es continuo, sino que corresponde a muestras; es el mismo comportamiento que desarrollan los sistemas electrónicos muestreados. La siguiente ecuación muestra que la resistencia equivalente R, es inversamente proporcional al producto de la frecuencia f_S por la capacidad C, por lo que el valor de la resistencia puede modificarse en función de la frecuencia.

$$\frac{V}{i} = R = \frac{1}{f_S \cdot C}$$

A - Sistemas muestreados

Los sistemas electrónicos basados en condensadores conmutados son sistemas muestreados y constan de dos fases: fase de muestreo y fase de transferencia de carga.

Considerar el circuito de la figura 8, siendo $C_{in}=C_{out}$ y S1, S2 y S3 interruptores ideales y perfectamente sincronizados.

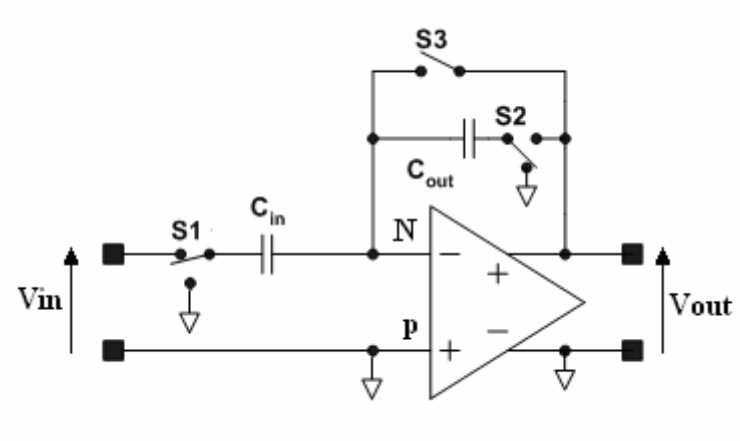


Figura 8 – Ejemplo de AO con condesadores conmutados

B - Fase de muestreo:

Durante la fase de muestreo el circuito equivalente es el de la figura 9. El AO se encuentra en cofiguración seguidor de voltaje, por tanto, durante esta fase Vo = 0 V, ya que el cortocircuito virtual hace que el voltaje en la entrada negativa del AO sea cero y por tanto el condensador C_{out} esta cortocircuitado a tierra y ninguna intensidad lo atravesará. Por otra parte, el condensador C_{in} se carga con el voltaje Vi gracias a la intensidad i. En la figura 10 se puede apreciar como varian en el tiempo durante la fase de muestreo, los voltajes Vi, Vo y V_N del AO.

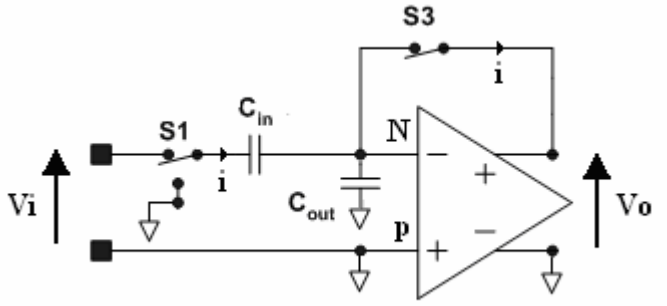


Figura 9 – Circuito equivalente en la fase de muestreo

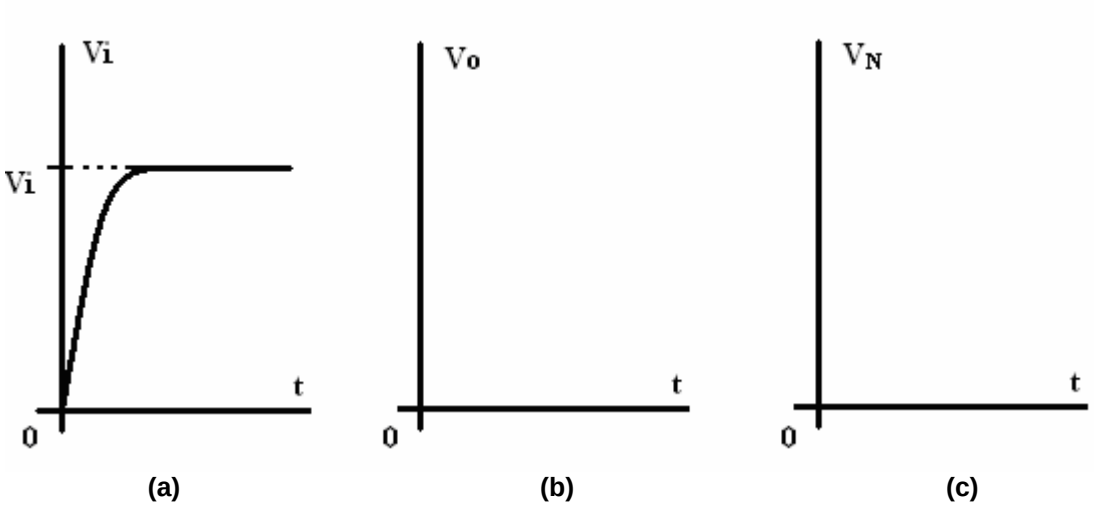


Figura 10 - Variación del voltaje en la fase de muestreo en: (a) Vi, (b) Vo y (c) V_N

C - Fase de transferencia de carga:

Durante la fase de transferencia de carga el circuito equivalente es el de la figura 11. El condensador C_{in} se encuentra cargado con el voltaje Vi de la fase de muestreo. Cuando se conmuta, el AO continúa realimentado negativamente a través del condensador C_{out}, por tanto el condensador C_{in} está cortocircuitado a tierra gracias al cortocircuito virtual del AO. Esto provoca la circulación de la intensidad i, que carga al condensador C_{out} con el voltaje Vi de la fase anterior, haciendo que $V_i=V_o$. En la figura 12 se puede apreciar el comportamiento temporal de los voltajes V_i, V_o y V_N del AO.

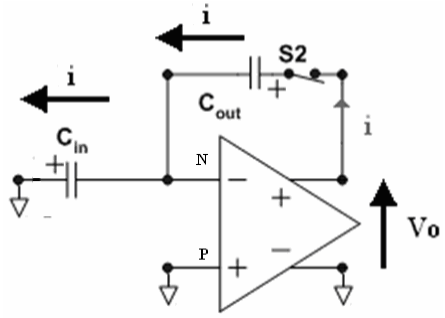


Figura 11 – Circuito equivalente en la fase de transferencia de carga

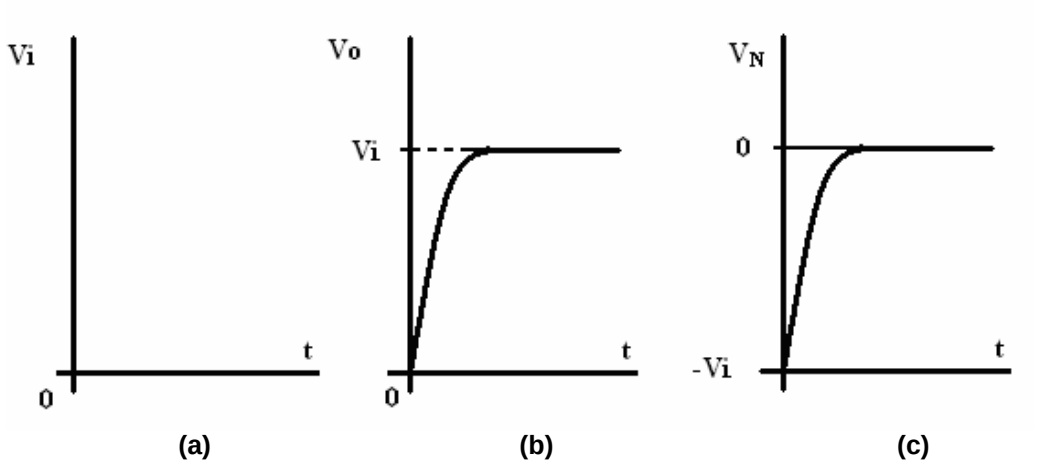


Figura 12 - Variación del voltaje en la fase de muestreo en: (a) Vi, (b) Vo y (c) V_N

2.3 Amplificador de Instrumentación en FPAA

Para modelar un Amplificador de Instrumentación, AI, se parte del modelo de tres amplificadores operacionales propuesto por Sergio Franco en Diseño con amplificadores operacionales y circuitos integrados analógicos. A continuación se enumeran las etapas de la FPAA compuestas por varios CAM (Configurable analog module, modulo analógico configurable), que formarán parte de dicha topología.

Etapa de entrada:

- 2 Celdas de entrada
- 2 CAM Half Cycle Gain Stage.

Etapa de salida:

- Celda de salida
- CAM Half Cycle Sum/Difference Stage.
- CAM Sample and Hold Stage

El diagrama de bloques del Amplificador de Instrumentación es el de la figura 13, donde Vi y Vi' son los voltajes aplicados a los pines de la FPAA y Vo la tensión obtenida de los pines de la FPAA.

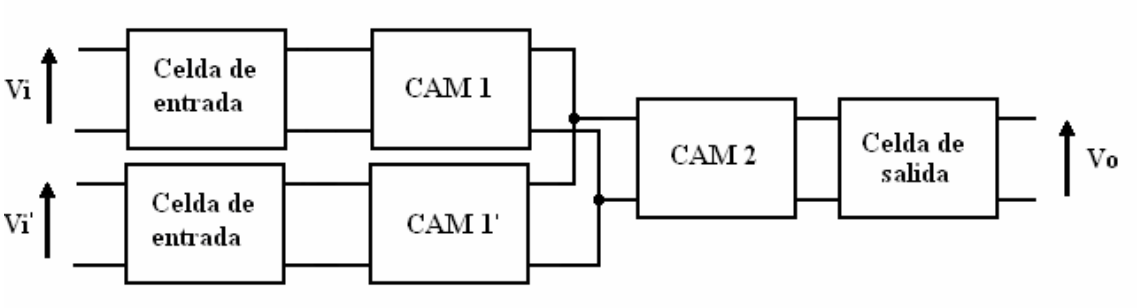


Figura 13 – Diagrama de bloques del Amplificador de Instrumentación

El análisis topológico del diagrama de bloques de la figura 13 es el siguiente:

- Tanto las celdas de entrada como las celdas de salida están configuradas en modo bypass, es decir, no modifica la señal entre su entrada y su salida.
- CAM 1 y CAM 1'. La topología interna de este bloque es el compuesto por el CAM Half Cycle Gain Stage, figura 14.
- CAM 2. La topología de este bloque es el compuesto por el CAM Half Cycle Sum/Difference Stage, figura 19, y el CAM Sample and Hold Stage, figura 21.

CAM 1 y CAM 1'

Siguiendo la documentación del fabricante, las fases de los interruptores del CAM Half Cycle Gain Stage en la figura 14, dependen del modo en el cuál funcione, ya que se puede comportar como un amplificador inversor o no inversor.

El diseño propuesto, funciona en modo no inversor y según el fabricante las posiciones de los interruptores serán las siguientes:

Switch Phases:				
Polarity	**Input Sampling**	**S1**	**S2**	**S3**
Non-inverting	Phase 1	Φ1	Φ2	Φ1
Non-inverting	Phase 2	Φ2	Φ1	Φ2

Fase Φ1: Conectado a señal.
Fase Φ2: Conectado a tierra.

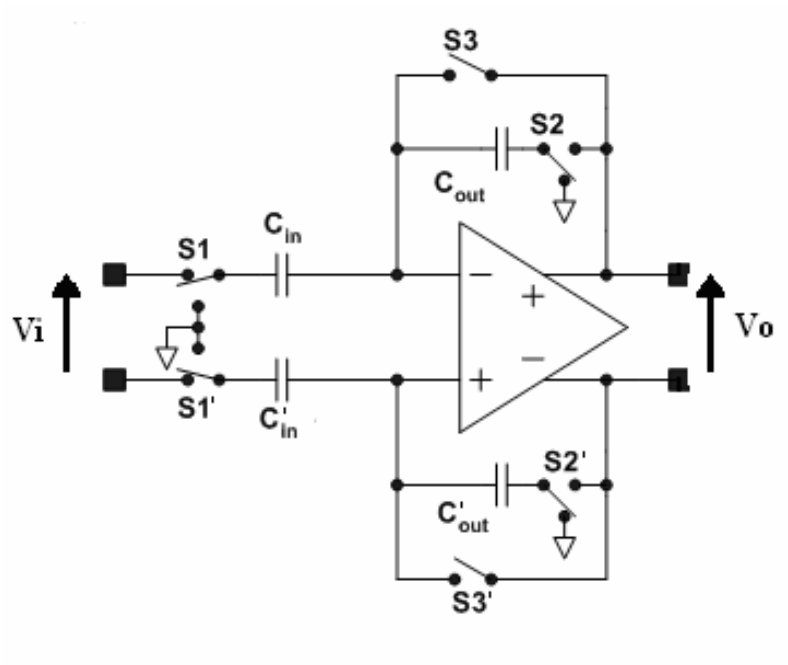


Figura 14 - CAM Half Cycle Gain Stage

Para el análisis de esta topología hay que tener en cuenta que tanto Vi, como Vo son voltajes referenciados a tierra, por tanto el equivalente a través de la entrada no inversora del AO será el de la figura 15, ya que S1' estará conectado a tierra, independientemente de la fase de conmutación en la que se encuentren los conmutadores.

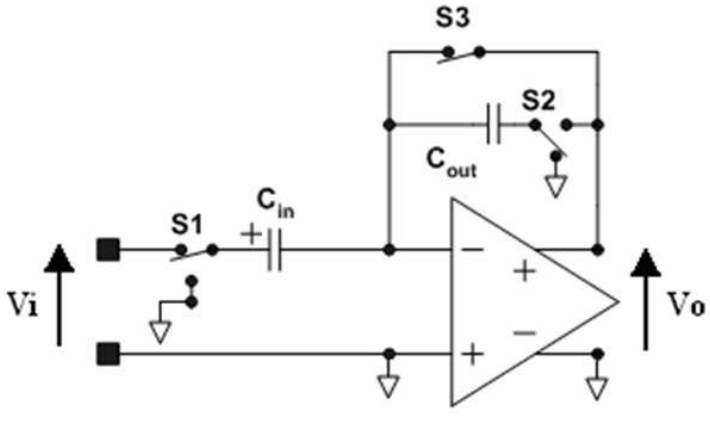


Figura 15 – Circuito equivalente al de la figura 14

En la figura 16 se puede observar el equivalente de la topología en la fase 1 de conmutación. Se trata de un circuito realimentado negativamente, por tanto el voltaje de C_{in} será igual a Vi. Si el voltaje de C_{in} es igual a Vi, entonces:

$$i_{in} = \frac{q}{t_{fase1}} = \frac{C_{in} \cdot V_{in}}{t_{fase1}}$$

es decir, si Vin es contínua, la intensidad que atraviesa C_{in} es constante cargándose con el voltaje Vi.

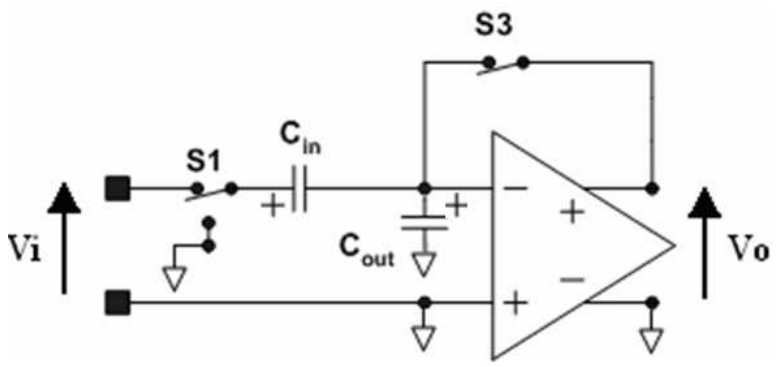


Figura 16 – Fase 1 (fase de muestreo)

La fase 2 de conmutación en la figura 17, es equivalente al circuito de la figura 18, ya que el AO está realimentado negativamente.

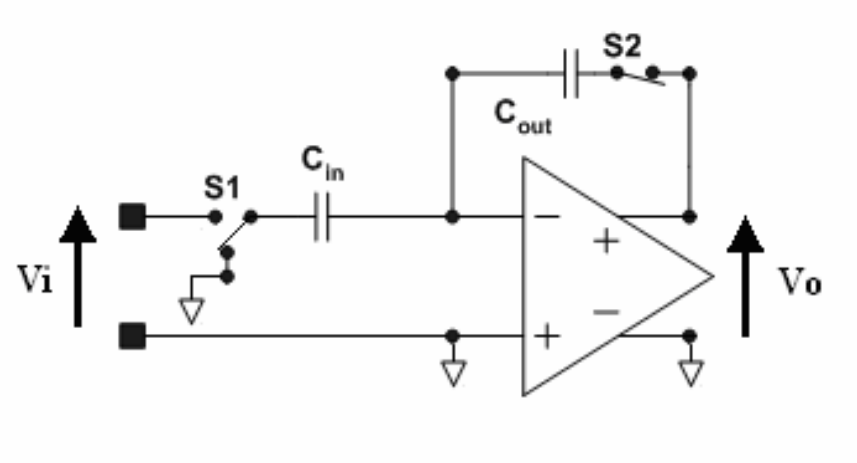


Figura 17 – Fase 2 (fase de transferencia de carga)

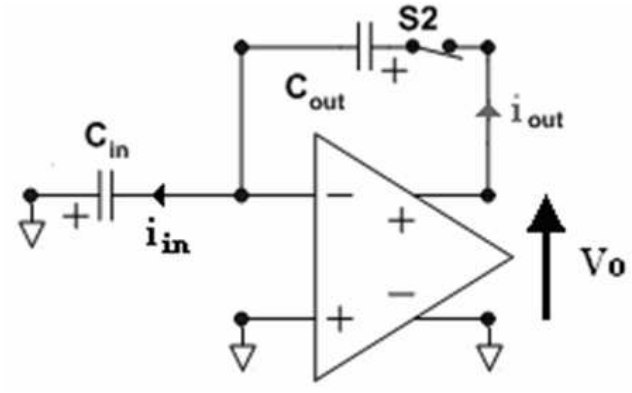


Figura 18 – Circuito equivalente al de la figura 17

Una vez cambiados los interruptores, el voltaje almacenado en Cin invierte la polaridad haciendo que la intensidad fluya a través de Cout; por tanto:

$$i_{in} = i_{out}$$

De este modo se llega a la siguiente ecuación:

$$V_o = \frac{\frac{C_{in} \cdot V_{in}}{t_{fase1}} \cdot t_{fase1}}{C_{out}} = V_{in} \cdot \frac{C_{in}}{C_{out}}$$

que implica que la ganancia del CAM solo depende del valor de los condensadores, siempre y cuando la duración de la fase 1 sea igual a la duración de la fase 2.

CAM 2

Una vez superada la etapa de entrada del AI, la siguiente etapa es la etapa de salida compuesta por un amplificador diferencial como el mostrado en la figura 19.

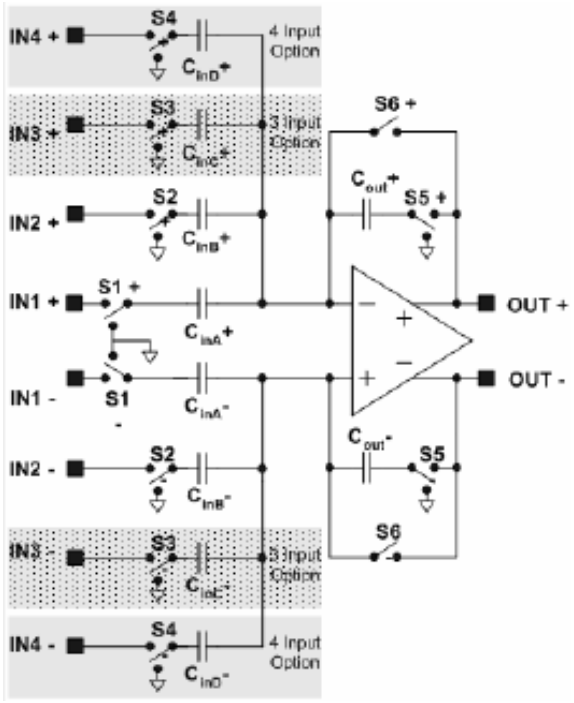


Figura 19 - CAM Half Cycle Sum/Difference Stage

En este modelo sólo se utilizan dos señales, en este caso, IN1 e IN2. También hay que tener en cuenta que las posiciones de los interruptores dependerán del modo de funcionamiento de la topología de la figura 19. En este caso, una de las dos señales deberá ser no inversora y la restante inversora. En el siguiente análisis se tomará la señal IN1 como no inversora y la señal IN2 será inversora.

Una vez observada la tabla de las posiciones de los conmutadores proporcionada por el fabricante.

Tabla de las posiciones de los conmutadores

Switch Phases:						
Output Phase	**S1**	**S2**	**S3**	**S4**	**S5**	**S6**
Phase 1	Φ2 if Input1 is Non-inverting	Φ2 if Input2 is Non-inverting	Φ2 if Input3 is Non-inverting	Φ2 if Input4 is Non-inverting	Φ1	Φ2
	Φ1 if Input1 is Inverting	Φ1 if Input2 is Inverting	Φ1 if Input3 is Inverting	Φ1 if Input4 is Inverting		
Phase 2	Φ1 if Input1 is Non-inverting	Φ1 if Input2 is Non-inverting	Φ1 if Input3 is Non-inverting	Φ1 if Input4 is Non-inverting	Φ2	Φ1
	Φ2 if Input1 is Inverting	Φ2 if Input2 is Inverting	Φ2 if Input3 is Inverting	Φ2 if Input4 is Inverting		

se obtiene el circuito equivalente mostrado en la figura 20.

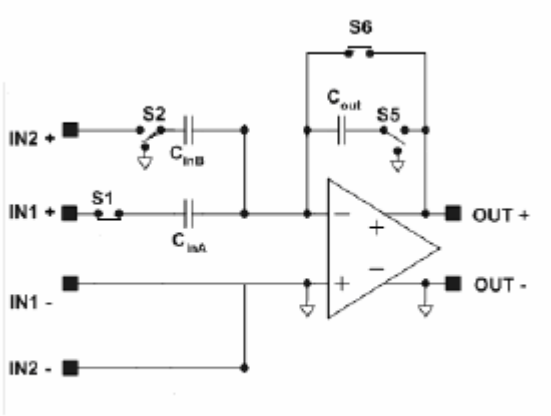


Figura 20 – Circuito equivalente al de la figura 19

Aplicando el teorema de superposición, la señal IN1, tendrá una función de transferencia igual al modelo de la figura 14 ya analizado:

$$V_{OUT+} = V_{IN1}.\frac{C_{IN1}}{C_{out}}$$

Por otra parte, la señal IN2 se comportará como un inversor, ya que el cambio en la posición del conmutador S2, provoca que la transferencia de carga entre los condensadores se produzca en sentido contrario. Siendo su función de transferencia:

$$V_{OUT+} = -V_{IN2}.\frac{C_{IN2}}{C_{out}}$$

Por tanto la función de transferencia de esta etapa, suponiendo que $C_{in1}=C_{in2}$ sería:

$$V_{OUT+} = (V_{IN1} - V_{IN2}) \cdot \frac{C_{in}}{C_{out}}$$

ETAPA SAMPLE&HOLD

La siguiente etapa, a continuación de la etapa amplificadora, es una etapa sample&hold como la mostrada en la figura 21. Durante la fase 1, ver figura 22, se produce la carga del condensador C_{sampl}, mientras que el condensador C_{hold} fija el voltaje de salida Vo al voltaje almacenado en el.

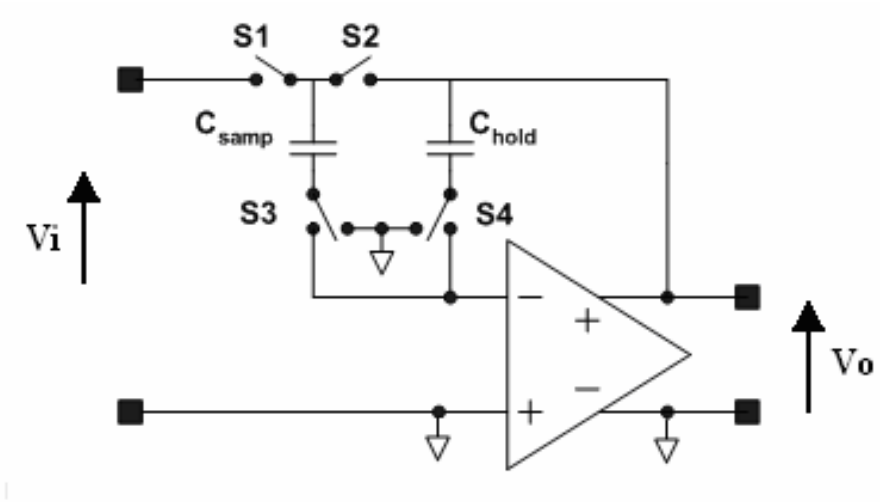


Figura 21 – CAM Sample and hold

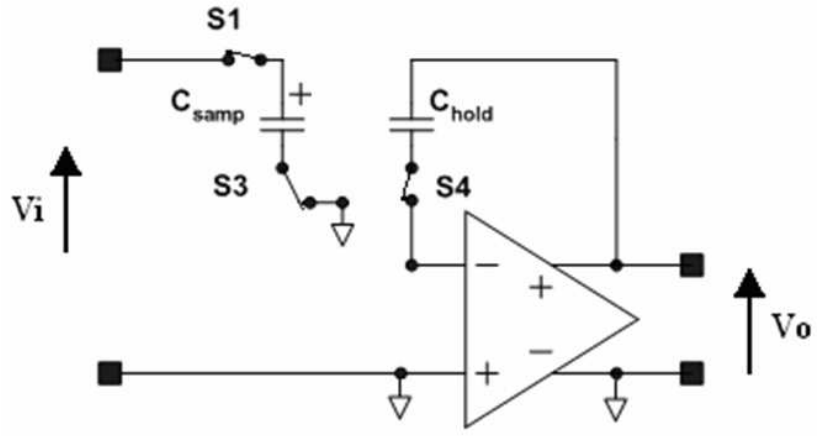


Figura 22 – Fase 1 (fase de muestreo)

Durante la fase 2, en la figura 23, el condensador C_{sampl} fija el voltaje de salida a Vi y también carga al condensador C_{hold} con el mismo voltaje provocando que el voltaje Vo se mantenga constante durante ambas fases.

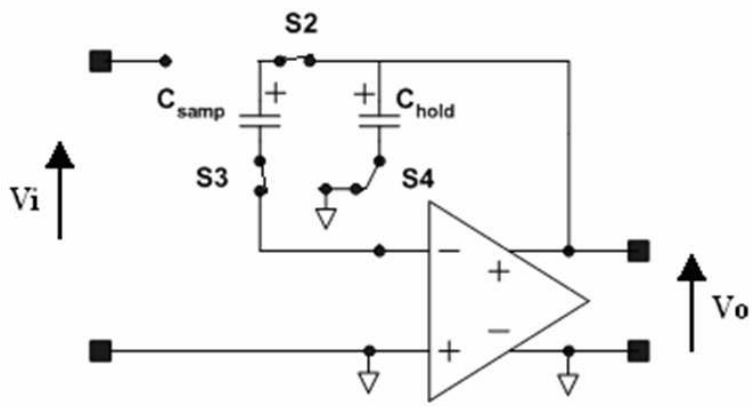


Figura 23 – Fase 2 (fase de transferencia de carga)

2.4 Sofware Anadigm

Anadigm, el fabricante del chip AN221E04 dispone de un sofware CAD denominado AnadigmDesigner2. Este sofware se utiliza para configurar la FPAA con el diseño previo que se desee. Este sofware sólo trabaja bajo entorno Windows.

Entorno de trabajo

El entorno de trabajo tiene el típico aspecto de programa de Windows, ver figura 24. Dispone de:

- Una barra de menús.
- Una barra de iconos
- Un espacio de trabajo
- Una barra de estado

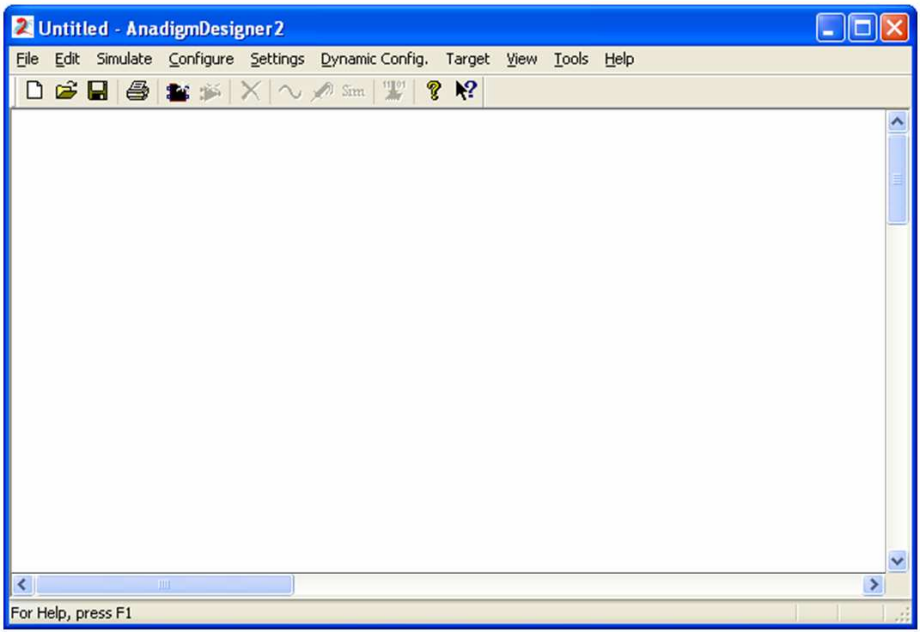

Untitled - AnadigmDesigner2
File Edit Simulate Configure Settings Dynamic Config. Target View Tools Help
For Help, press F1

Figura 24 - Entorno de trabajo

Barra de menús

En esta barra se pueden encontrar todas las funcionalidades de las que dispone el software, ver figura 25.

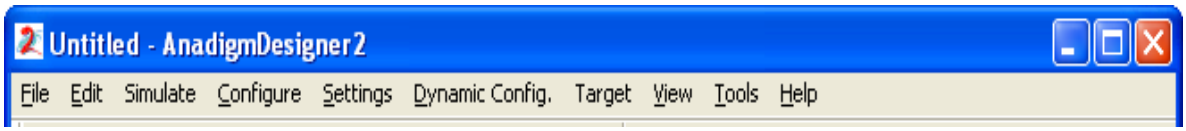


Figura 25 - Barra de menús

- Menu FILE

·**New**	Crea un nuevo documento.
·**Open**	Abre un documento existente.
·**Save**	Guarda un documento con el mismo nombre.
·**Save As...**	Guarda un documento con un nombre distinto.
·**Revert...**	Pregunta si se desea volver al último punto guardado.
·**Check Sheet**	Comprueba las reglas de diseño y las compatibilidades entre versiones de los CAM.
·**Print**	Imprime un documento
·**Print Preview**	Muestra la previsualización de un documento.
·**Register**	Registro del sofware con la licencia proporcionada en http://www.anadigm.com.
·**Recent Files**	Documentos recientes.
·**Exit**	Cerrar AnadigmDesigner2.

- Menu EDIT

· **Insert new CAM**	Crea un nuevo CAM de la lista de selección, ver figura 26.

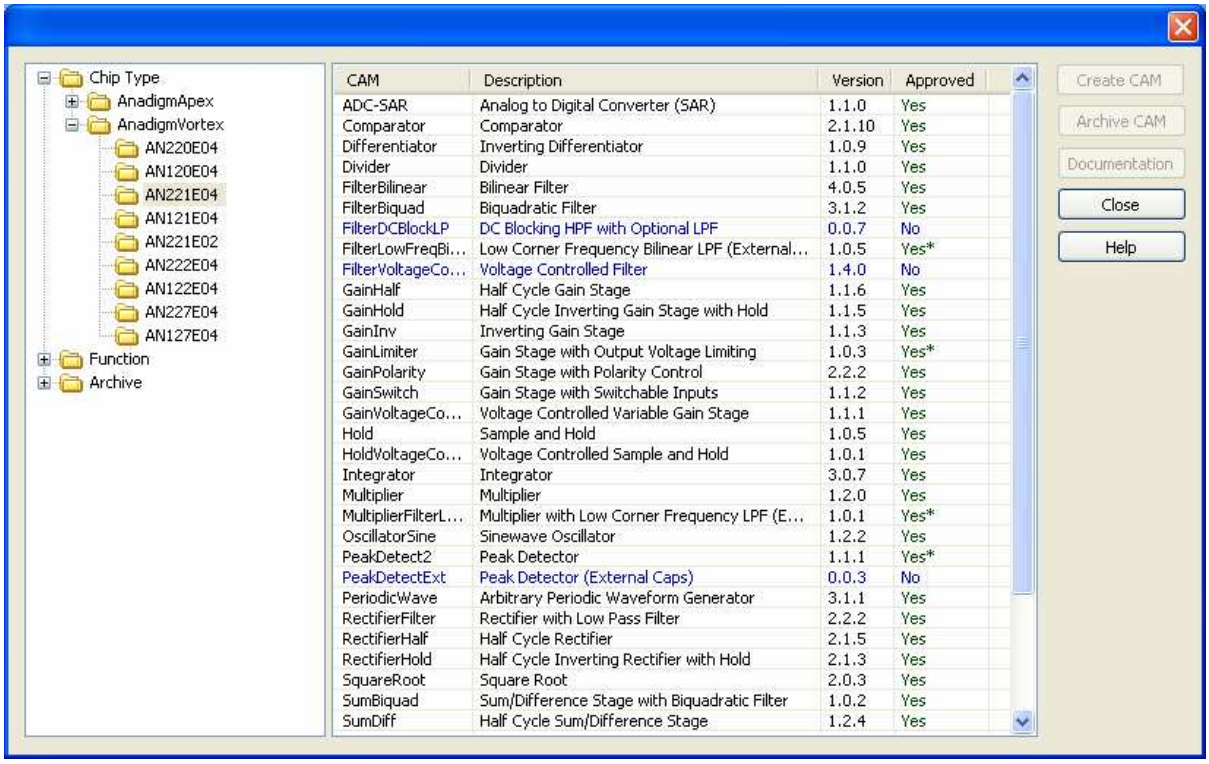

Chip Type
AnadigmApex
AnadigmVortex
AN220E04
AN120E04
AN221E04
AN121E04
AN221E02
AN222E04
AN122E04
AN227E04
AN127E04
Function
Archive
CAM
Description
Version
Approved
ADC-SAR Analog to Digital Converter (SAR) 1.1.0 Yes
Comparator Comparator 2.1.10 Yes
Differentiator Inverting Differentiator 1.0.9 Yes
Divider Divider 1.1.0 Yes
FilterBilinear Bilinear Filter 4.0.5 Yes
FilterBiquad Biquadratic Filter 3.1.2 Yes
FilterDCBlockLP DC Blocking HPF with Optional LPF 0.0.7 No
FilterLowFreqBi... Low Corner Frequency Bilinear LPF (External... 1.0.5 Yes*
FilterVoltageCo... Voltage Controlled Filter 1.4.0 No
GainHalf Half Cycle Gain Stage 1.1.6 Yes
GainHold Half Cycle Inverting Gain Stage with Hold 1.1.5 Yes
GainInv Inverting Gain Stage 1.1.3 Yes
GainLimiter Gain Stage with Output Voltage Limiting 1.0.3 Yes*
GainPolarity Gain Stage with Polarity Control 2.2.2 Yes
GainSwitch Gain Stage with Switchable Inputs 1.1.2 Yes
GainVoltageCo... Voltage Controlled Variable Gain Stage 1.1.1 Yes
Hold Sample and Hold 1.0.5 Yes
HoldVoltageCo... Voltage Controlled Sample and Hold 1.0.1 Yes
Integrator Integrator 3.0.7 Yes
Multiplier Multiplier 1.2.0 Yes
MultiplierFilterL... Multiplier with Low Corner Frequency LPF (E... 1.0.1 Yes*
OscillatorSine Sinewave Oscillator 1.2.2 Yes
PeakDetect2 Peak Detector 1.1.1 Yes*
PeakDetectExt Peak Detector (External Caps) 0.0.3 No
PeriodicWave Arbitrary Periodic Waveform Generator 3.1.1 Yes
RectifierFilter Rectifier with Low Pass Filter 2.2.2 Yes
RectifierHalf Half Cycle Rectifier 2.1.5 Yes
RectifierHold Half Cycle Inverting Rectifier with Hold 2.1.3 Yes
SquareRoot Square Root 2.0.3 Yes
SumBiquad Sum/Difference Stage with Biquadratic Filter 1.0.2 Yes
SumDiff Half Cycle Sum/Difference Stage 1.2.4 Yes
Create CAM
Archive CAM
Documentation
Close
Help

Figura 26 - Lista de selección

- **Insert new Chip** Crea un chip de los varios disponibles en el espacio de trabajo.
- **Cut** Elimina un objeto(s) y los guarda en el portapapeles.
- **Copy** Copia un objeto(s) en el portapapeles.
- **Paste** Pega lo contenido en el portapapeles.
- **Delete** Elimina el objeto(s) seleccionado(s).
- **Edit selected wire(s)** Cambia las propiedades del cable(s) seleccionado(s).

- Menu SIMULATE

- **Create Signal Generator** Crea un generador de señal, ver figura 27.
- **Create Oscilloscope Probe** Crea una sonda de osciloscopio, ver figura 28.
- **Setup Simulation** Ajuste de los parametros del simulador.
- **Begin Simulation** Iniciar siminulación.

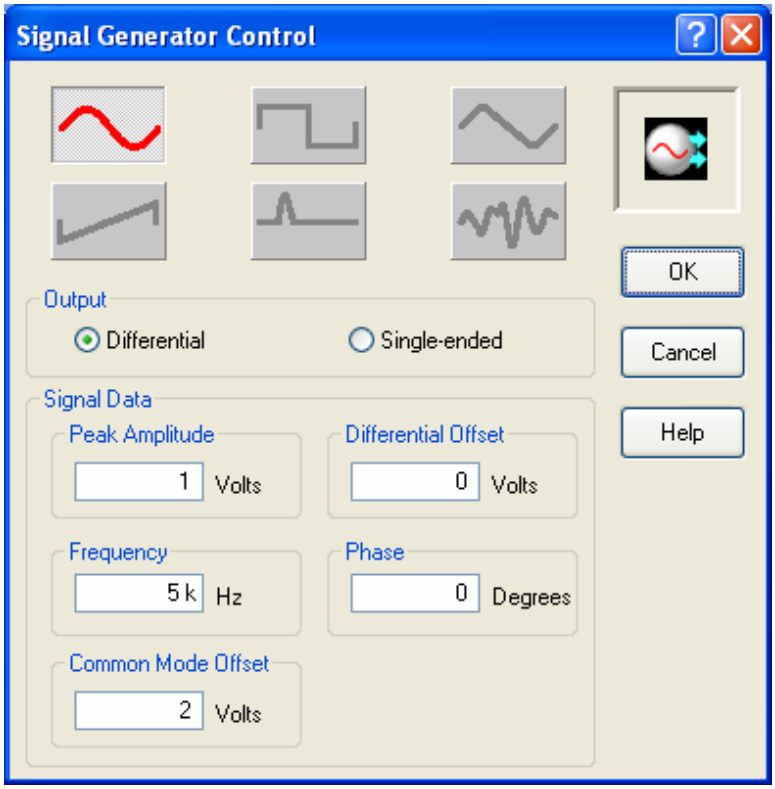


Figura 27 - Opciones de un generador de señal

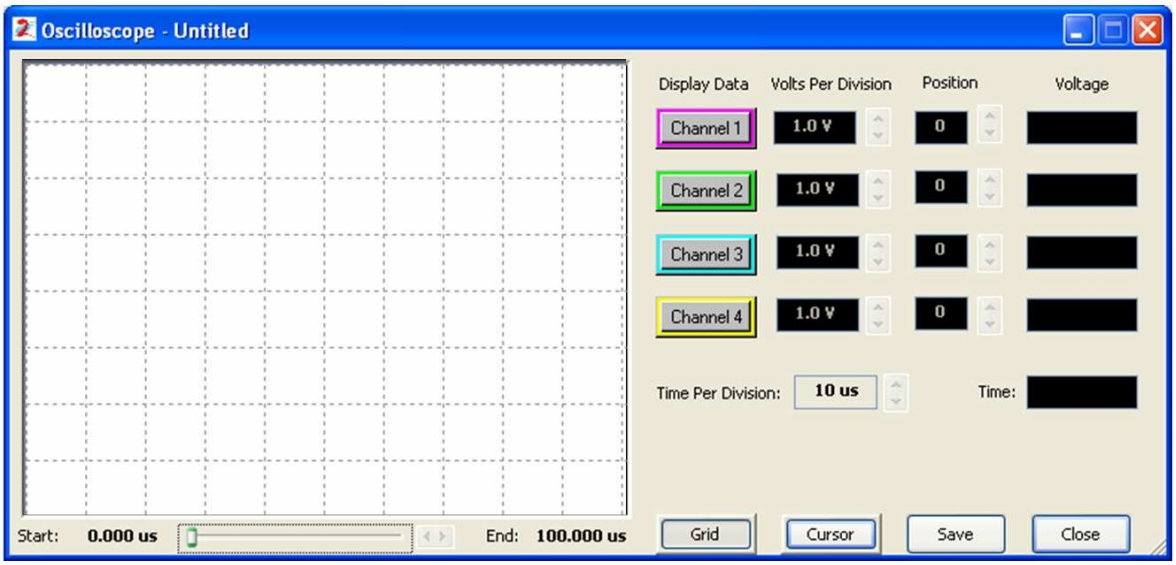


Figura 28 - Ventana de sonda o resultado de la simulación

- Menu CONFIGURE

· **Write configuration data to Serial Port**

Escribe la configuración a través del puerto serie.

· **Write configuration data to Serial Port (selected chips only)**

Escribe la configuración de los chips seleccionados a través del puerto serie.

· **Write configuration data to a file …**

Escribe la configuración en un formato de arcivo.

· **Write configuration data to a file (selected chips only)…**

Escribe la configuración de los chips seleccionados en un formato de arcivo.

· **Write AHF file to serial port …**

Escribe un archivo con formato AHF a través del puerto serie.

- Menu SETTINGS

· **Active Chip Settings** Configuración de los relojes y del chip, ver figuras 29 y 30.

· **Preferences** Preferencias del programa, ver figuras de la 31(a) y 31(b), 32(a) y 32(b), 33(a) y 33(b).

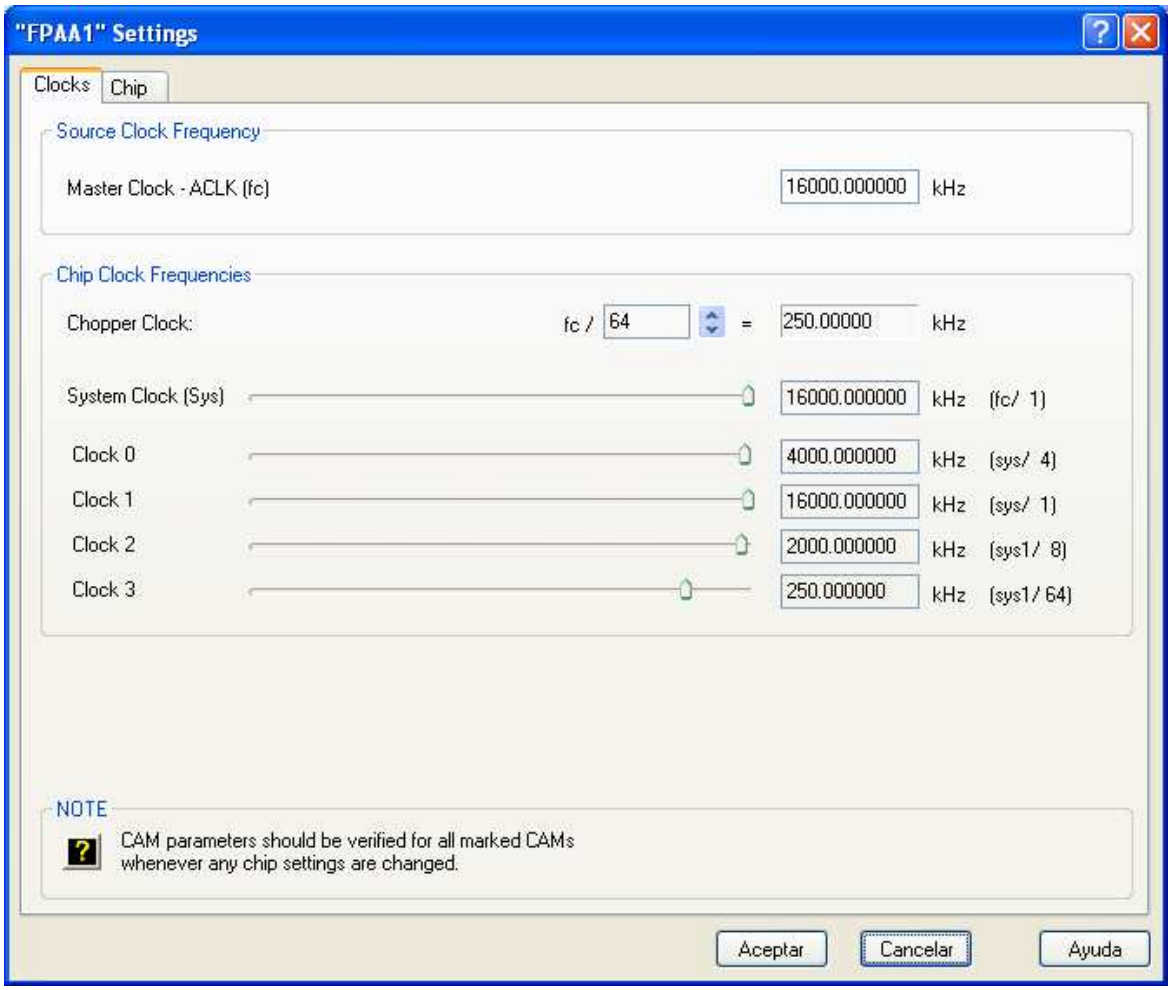


Figura 29 - Configuración de los relojes

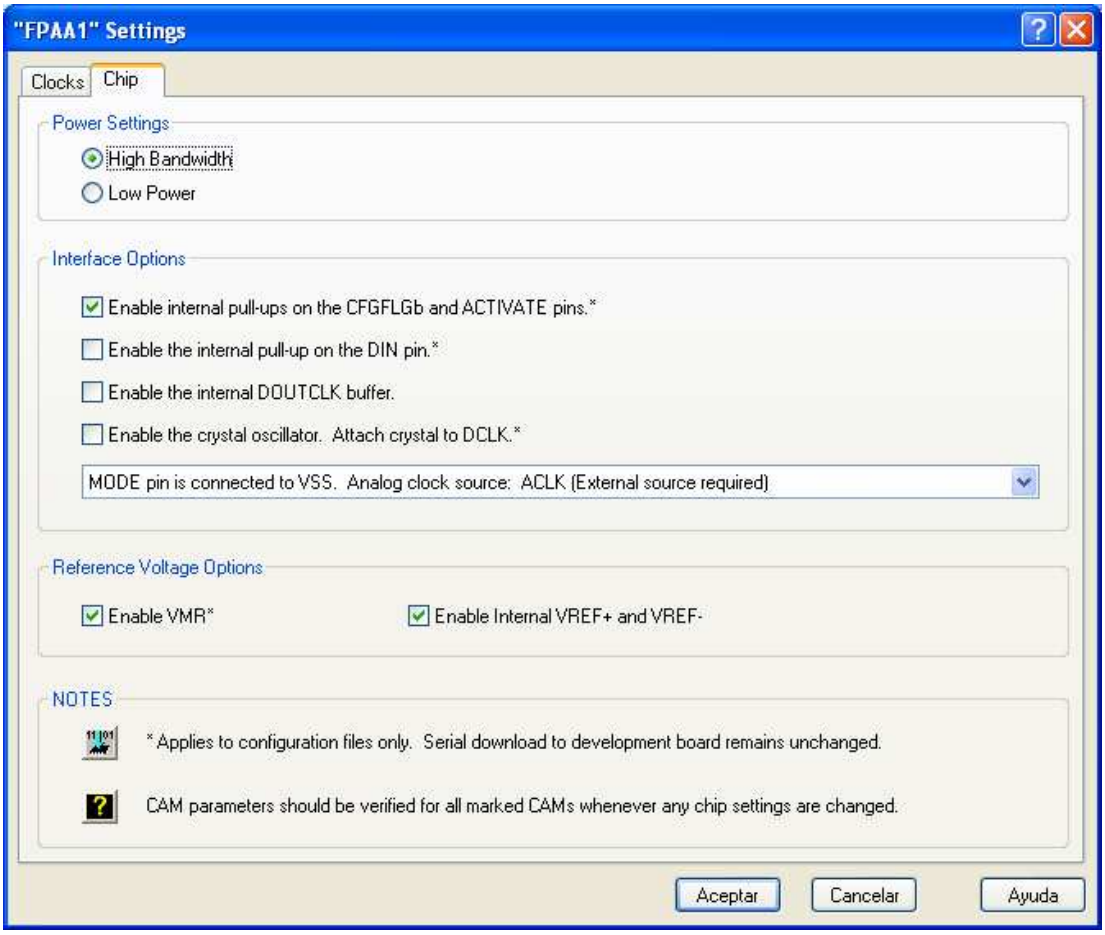
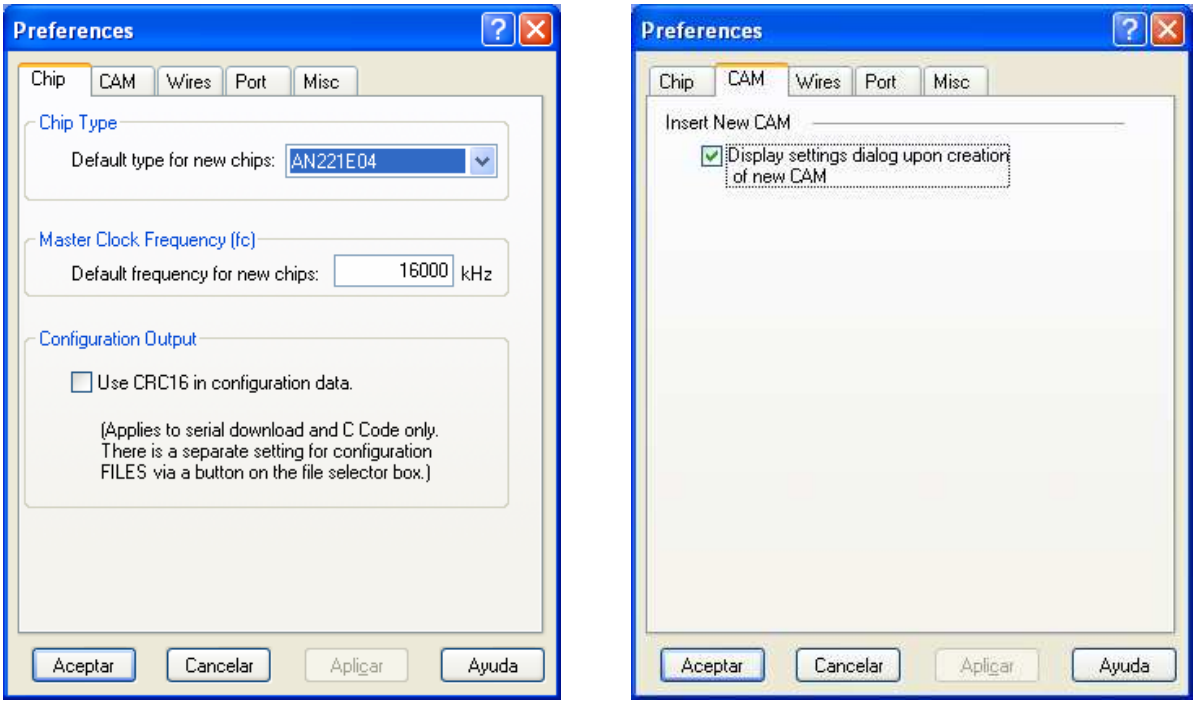
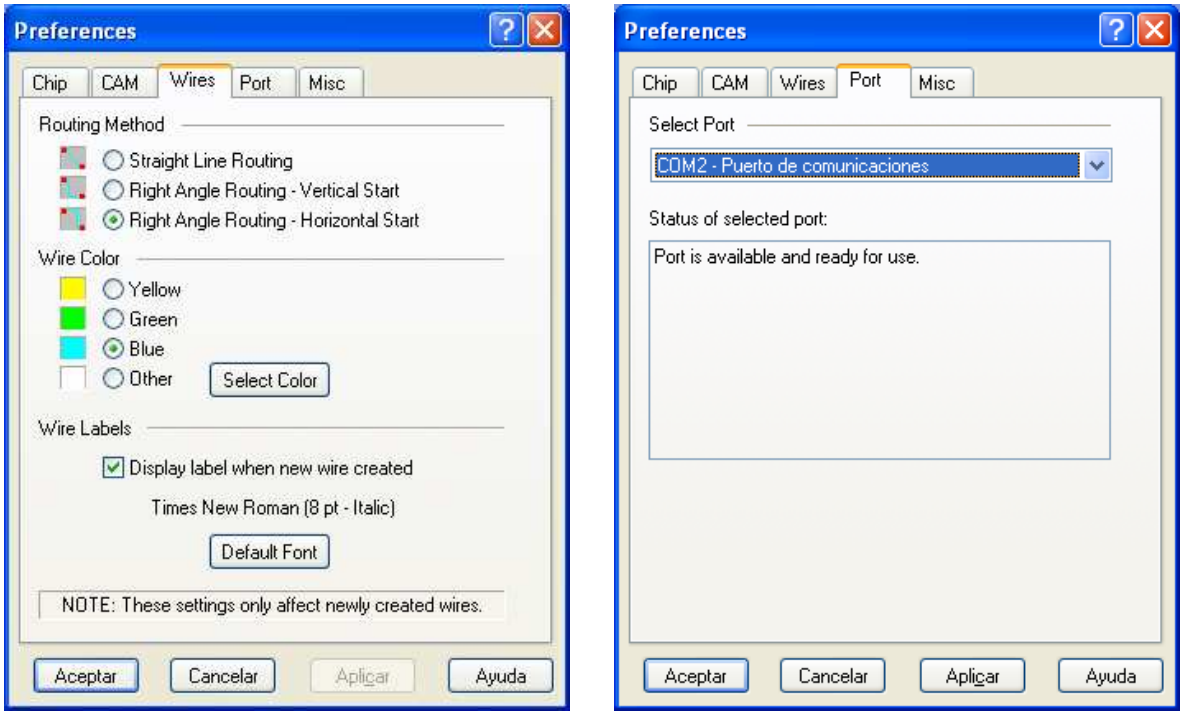

"FPAA1" Settings
Clocks
Chip
Power Settings
High Bandwidth
Low Power
Interface Options
Enable internal pull-ups on the CFGFLGb and ACTIVATE pins.*
Enable the internal pull-up on the DIN pin.*
Enable the internal DOUTCLK buffer.
Enable the crystal oscillator. Attach crystal to DCLK.*
MODE pin is connected to VSS. Analog clock source: ACLK (External source required)
Reference Voltage Options
Enable VMR*
Enable Internal VREF+ and VREF-
NOTES
* Applies to configuration files only. Serial download to development board remains unchanged.
CAM parameters should be verified for all marked CAMs whenever any chip settings are changed.
Aceptar
Cancelar
Ayuda

Figura 30 - Configuración del chip



(a) **(b)**

Figura 31 - Preferencias (a) generales de chip, (b) de los CAM



(a) **(b)**

Figura 32 - Preferencias generales (a) de las conexiones, (b) del puerto serie

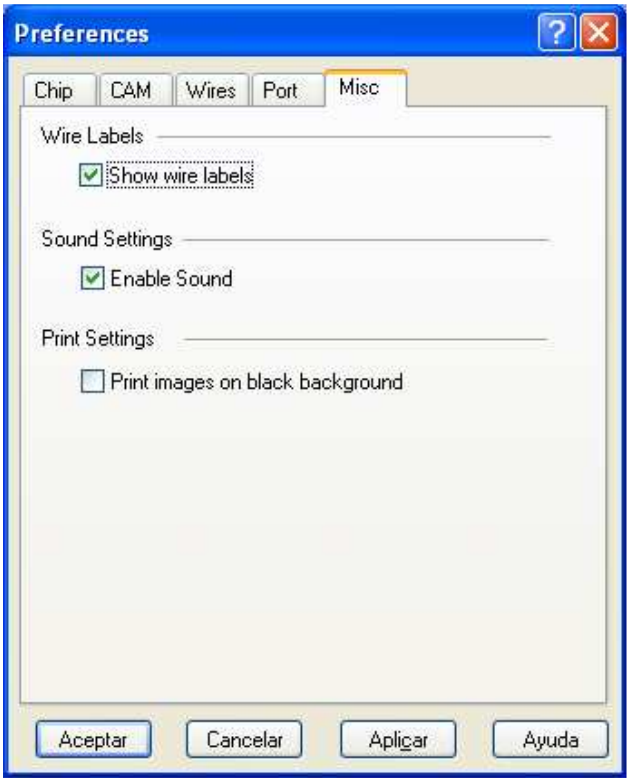


Figura 33 - Opciones varias

- Menu DYNAMIC CONFIG.

En este menú se encuentran varias opciones para la generación de funciones en lenguaje C y C++.

- Menu TARGET

- **Display board Information** Muestra la información de la tarjeta de evaluación.

- Menu VIEW

- **Toolbar** Activa/Desactiva la barra de iconos.
- **Status Bar** Activa/Desactiva la barra de estatus.
- **Show Welcome Page on Startup** Activa/Desactiva el mensaje de bienvenida.
- **Zoom In** Acerca zoom.
- **Zoom Out** Aleja zoom.
- **Refresh** Repinta la pantalla.

- Menu TOOLS

- **AnadigmFilter** Herramienta para el diseño de filtros.
- **AnadigmPID** Herramienta para el diseño de controladores PID.

- Menu HELP

- **Help Topics** Menu de ayuda.
- **What's This? (Context Help)** Ayuda contextual.
- **Display License Agreement...** Muestra el acuerdo de licencia
- **About AnadigmDesigner2...** Muestra la información del sofware.

Barra de iconos

En la barra de iconos, ver figura 34, encontramos las opciones mas utilizadas.

Figura 34 - Barra de iconos

Nuevo documento
Abrir un documento existente
Guardar documento
Imprimir
Crear un nuevo chip en el espacio de trabajo

Crear un nuevo CAM
Borrar
Crear un generador de señales
Crear una sonda de osciloscopio
Iniciar simulación
Cargar configuración a través del puerto serie
Ayuda
Ayuda contextual

Espacio de trabajo

En la figura 35 se puede ver el espacio de trabajo con un chip AN221E04 sin ningún CAM. Se pueden observar las celdas de entrada, las de salida, la salida del ADC y un panel con los recursos disponibles de la FPAA.

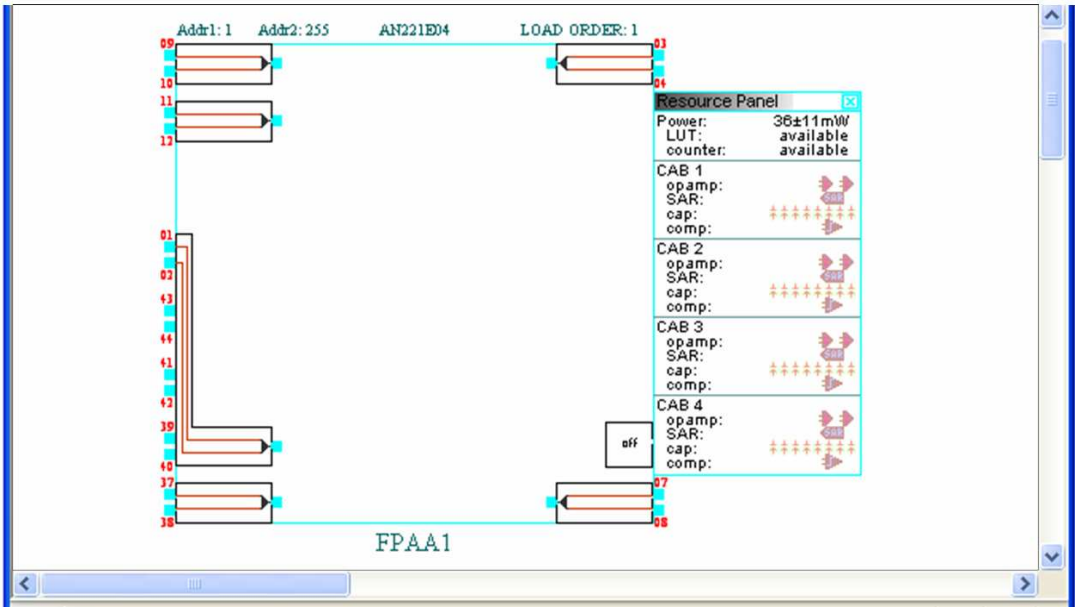


Figura 35 - Espacio de trabajo con un chip

Barra de estado

La barra de estado en la figura 36 nos indica las acciones a realizar cuando el puntero del ratón se modifica debido a algún evento (por ejemplo seleccionar un CAM).

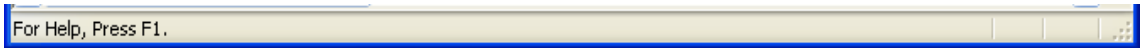


Figura 36 Barra de estado

3 Descripción experimental

3.1 Metodología de diseño de un Amplificador de Instrumentación

Para la realización de un amplificador de instrumentación mediante el sofware proporcionado por Anadigm, se crea un nuevo documento con un chip AN221E04 como en la figura 37.

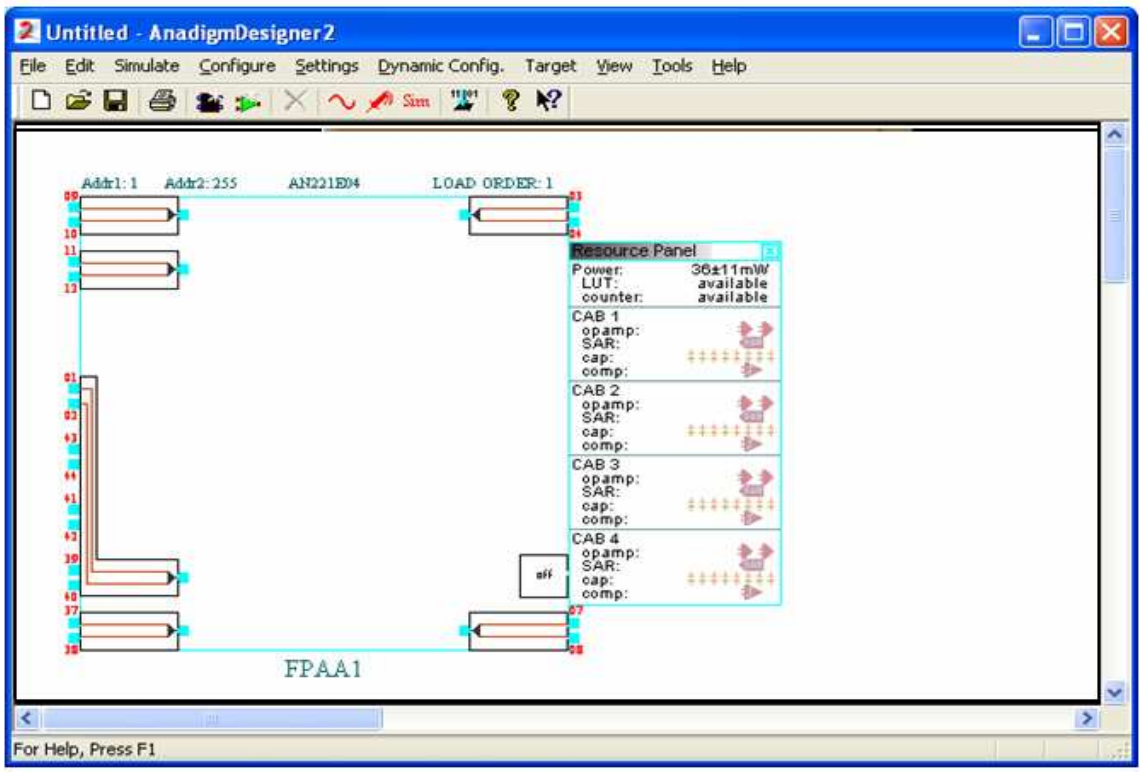


Figura 37 – Nuevo documento

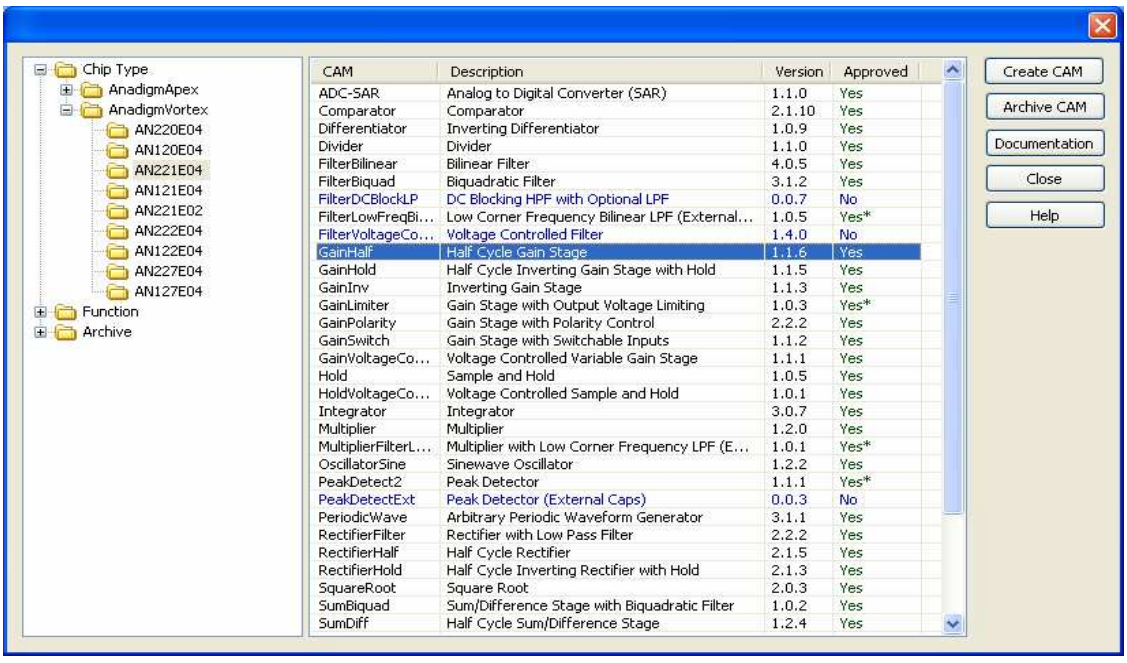

Chip Type
AnadigmApex
AnadigmVortex
AN220E04
AN120E04
AN221E04
AN121E04
AN221E02
AN222E04
AN122E04
AN227E04
AN127E04
Function
Archive
CAM
Description
Version
Approved
ADC-SAR Analog to Digital Converter (SAR) 1.1.0 Yes
Comparator Comparator 2.1.10 Yes
Differentiator Inverting Differentiator 1.0.9 Yes
Divider Divider 1.1.0 Yes
FilterBilinear Bilinear Filter 4.0.5 Yes
FilterBiquad Biquadratic Filter 3.1.2 Yes
FilterDCBlockLP DC Blocking HPF with Optional LPF 0.0.7 No
FilterLowFreqBi... Low Corner Frequency Bilinear LPF (External... 1.0.5 Yes*
FilterVoltageCo... Voltage Controlled Filter 1.4.0 No
GainHalf Half Cycle Gain Stage 1.1.6 Yes
GainHold Half Cycle Inverting Gain Stage with Hold 1.1.5 Yes
GainInv Inverting Gain Stage 1.1.3 Yes
GainLimiter Gain Stage with Output Voltage Limiting 1.0.3 Yes*
GainPolarity Gain Stage with Polarity Control 2.2.2 Yes
GainSwitch Gain Stage with Switchable Inputs 1.1.2 Yes
GainVoltageCo... Voltage Controlled Variable Gain Stage 1.1.1 Yes
Hold Sample and Hold 1.0.5 Yes
HoldVoltageCo... Voltage Controlled Sample and Hold 1.0.1 Yes
Integrator Integrator 3.0.7 Yes
Multiplier Multiplier 1.2.0 Yes
MultiplierFilterL... Multiplier with Low Corner Frequency LPF (E... 1.0.1 Yes*
OscillatorSine Sinewave Oscillator 1.2.2 Yes
PeakDetect2 Peak Detector 1.1.1 Yes*
PeakDetectExt Peak Detector (External Caps) 0.0.3 No
PeriodicWave Arbitrary Periodic Waveform Generator 3.1.1 Yes
RectifierFilter Rectifier with Low Pass Filter 2.2.2 Yes
RectifierHalf Half Cycle Rectifier 2.1.5 Yes
RectifierHold Half Cycle Inverting Rectifier with Hold 2.1.3 Yes
SquareRoot Square Root 2.0.3 Yes
SumBiquad Sum/Difference Stage with Biquadratic Filter 1.0.2 Yes
SumDiff Half Cycle Sum/Difference Stage 1.2.4 Yes
Create CAM
Archive CAM
Documentation
Close
Help

Figura 38 – Selección del CAM Half cycle gain stage

A continuación se inserta un nuevo CAM del tipo Half Cycle Gain Stage, ver figura 38. Una vez insertado el nuevo CAM, se configurará dicho CAM. En primer lugar, hay que tener en cuenta la selección del reloj que usará el CAM (ver figura 39), ya que este factor limitará los valores de los parámetros configurables del CAM. Por ejemplo, en el CAM Half Cycle Gain Stage, cuanta menor sea la frecuencia del reloj, mas valores posibles se podrán utilizar.

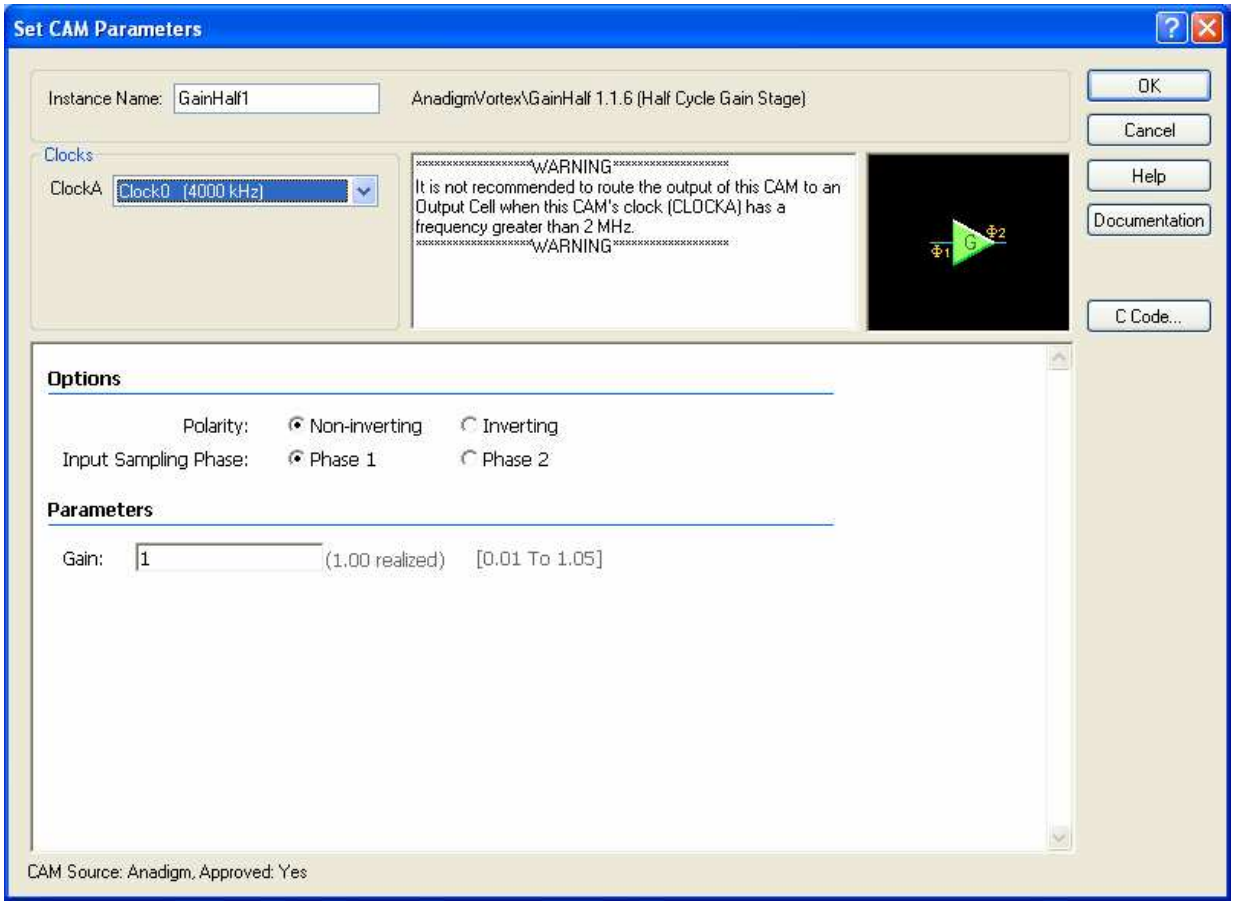


Figura 39 – Opciones de configuración del CAM Half cycle gain stage

Por otro lado, en el cuadro de texto junto a la imagen del CAM, nos informará sobre los posibles problemas de configuración del CAM como se muestra en la figura 40; siendo esta ayuda de un gran valor.

Una vez seleccionado el reloj del CAM y comprobada la ausencia de errores se procede a fijar el valor de la ganancia de dicho CAM, ver figura 41.

A continuación se repite este proceso para así disponer de la etapa de entrada (CAM1 y CAM1') del AI como se puede ver en la figura 42. Hay que tener en cuenta que los valores de ganancia de ambos CAM deben ser idénticos para el correcto modelado del AI, aunque existe la posibilidad de asignar ganancias diferentes.

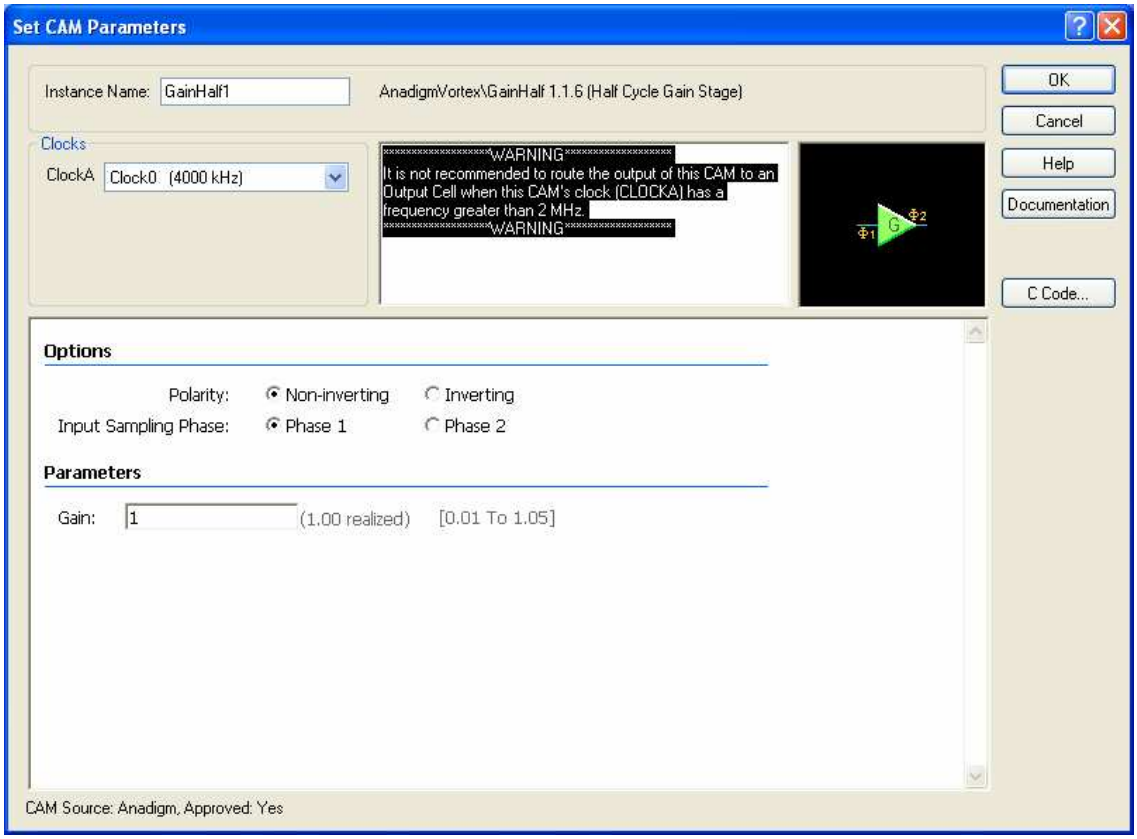

Set CAM Parameters
Instance Name: GainHalf1
AnadigmVortex\GainHalf 1.1.6 (Half Cycle Gain Stage)
OK
Cancel
Help
Documentation
C Code...
Clocks
ClockA Clock0 (4000 kHz)
**********WARNING**********
It is not recommended to route the output of this CAM to an Output Cell when this CAM's clock (CLOCKA) has a frequency greater than 2 MHz.
**********WARNING**********
Options
Polarity: Non-inverting Inverting
Input Sampling Phase: Phase 1 Phase 2
Parameters
Gain: 1 (1.00 realized) [0.01 To 1.05]
CAM Source: Anadigm, Approved: Yes

Figura 40 – Problemas en la configuración del CAM

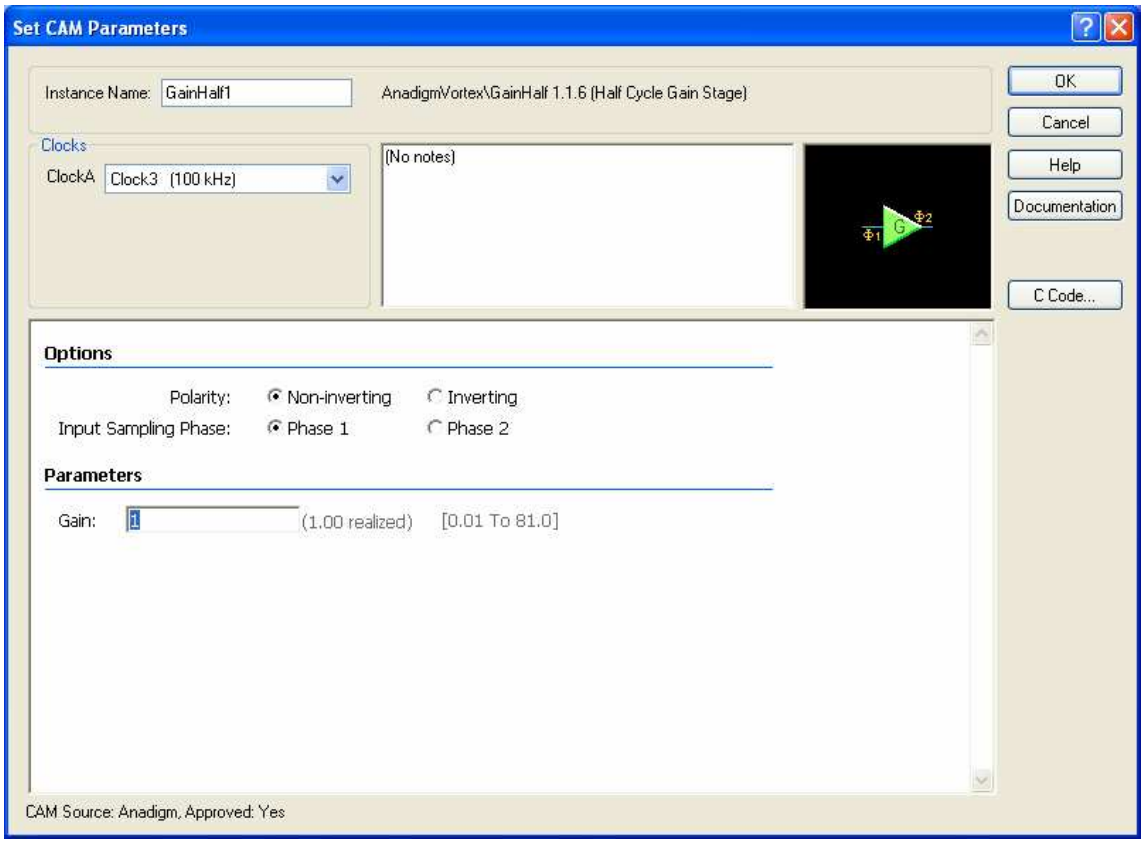


Figura 41 – Selección del valor de ganancia

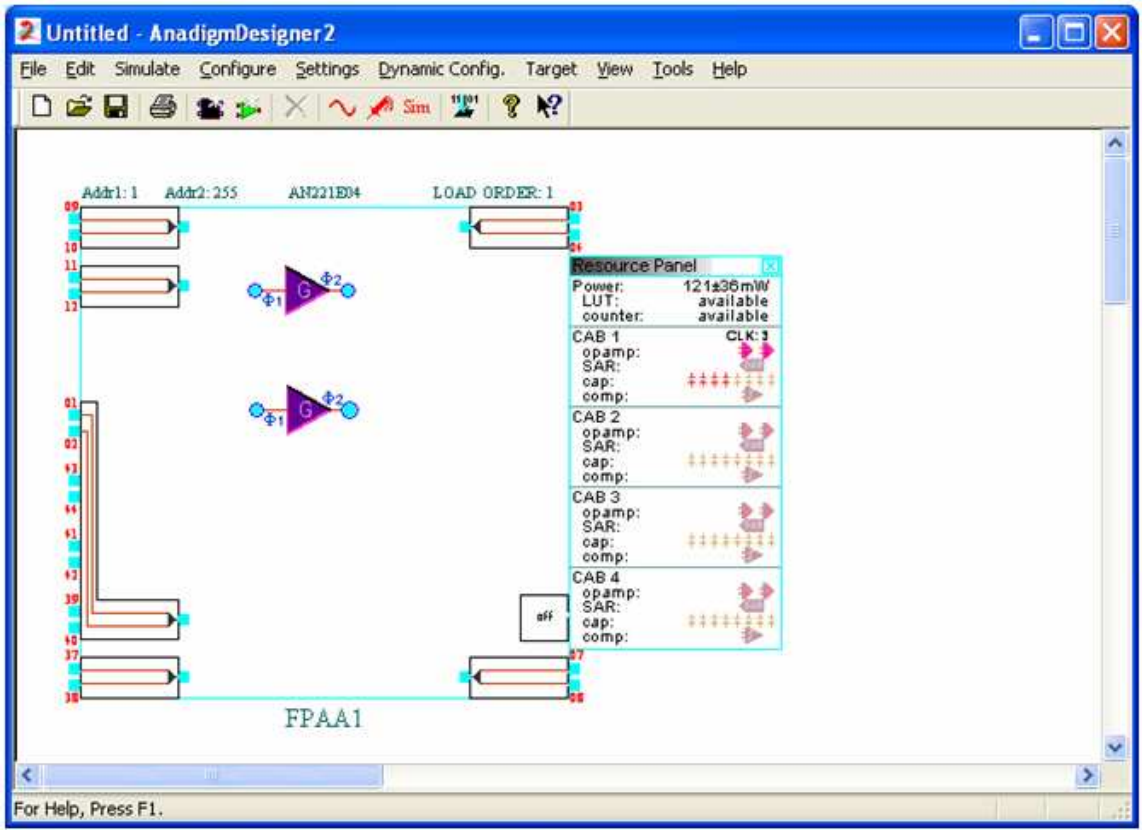


Figura 42 – Etapa de entrada del AI

El siguiente paso es insertar el CAM del tipo Half Cycle Sum/Difference Stage, ver figura 43.

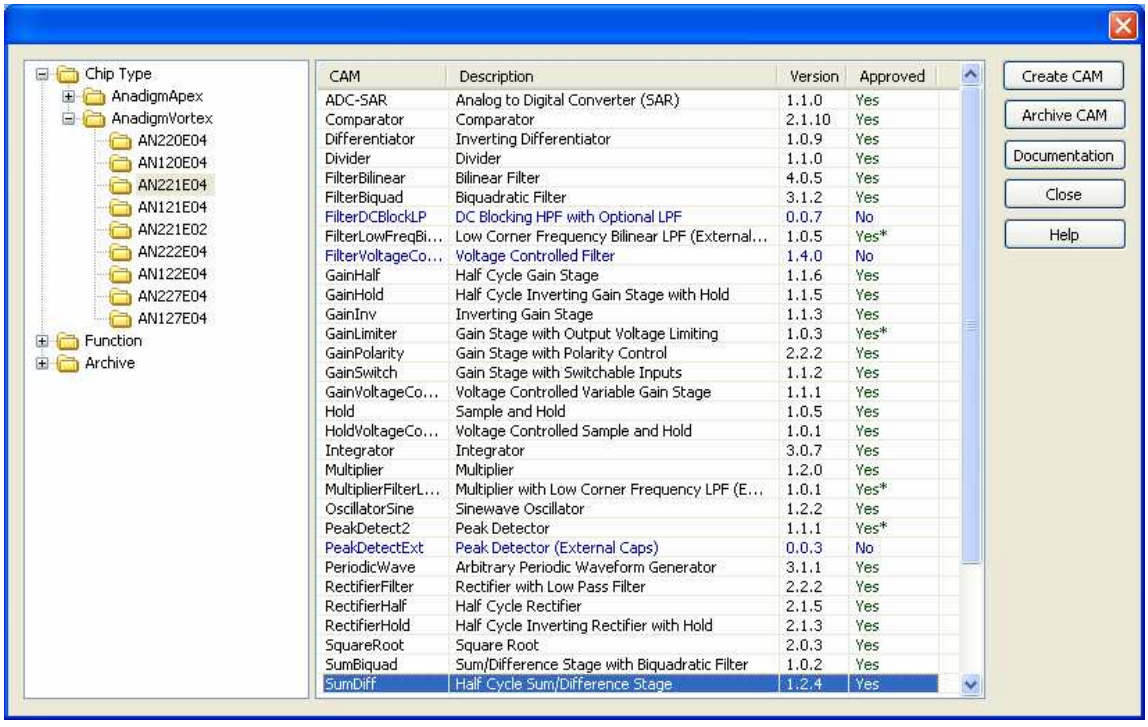


Figura 43 – Selección del CAM Half Cycle Sum/Difference Stage

Una vez insertado se procede a su configuración, en este caso, además del reloj, que necesariamente tiene que ser igual al reloj de los CAM de entrada; es necesario configurar una entrada como no-inversora y la restante como inversora como se muestra en la figura 44. También se configuran las ganancias de las dos entradas con el mismo valor.

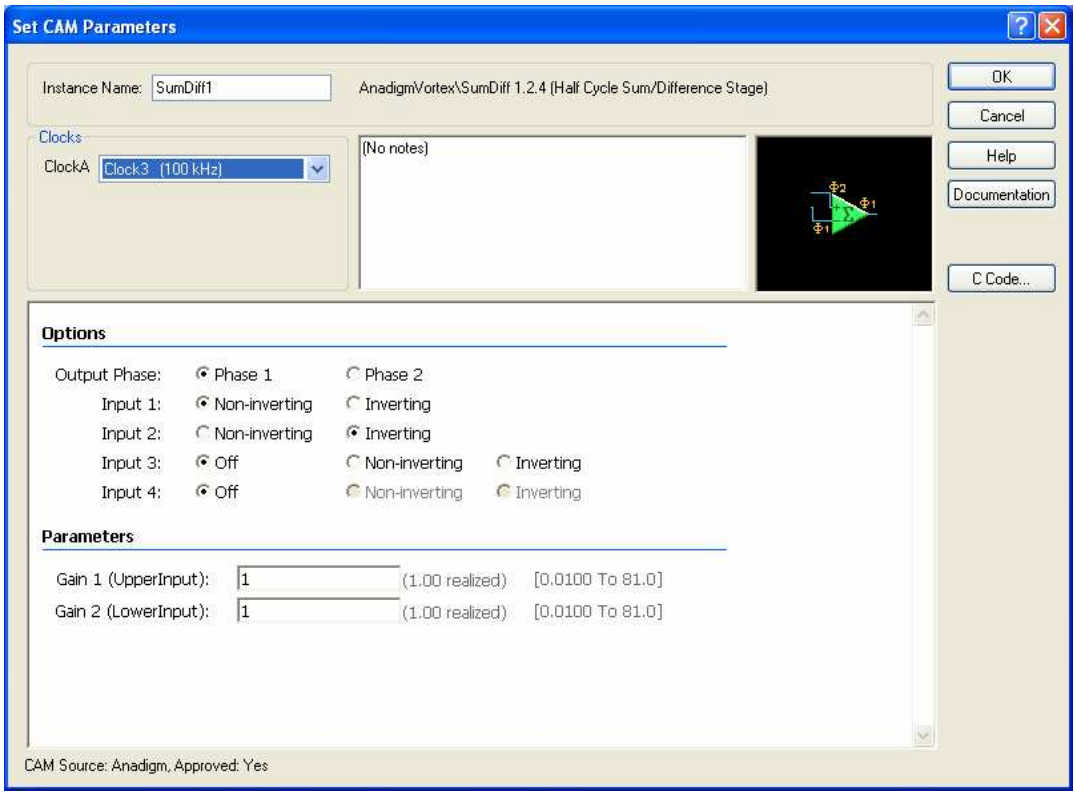


Figura 44 – Configuración del CAM Half Cycle Sum/Difference Stage

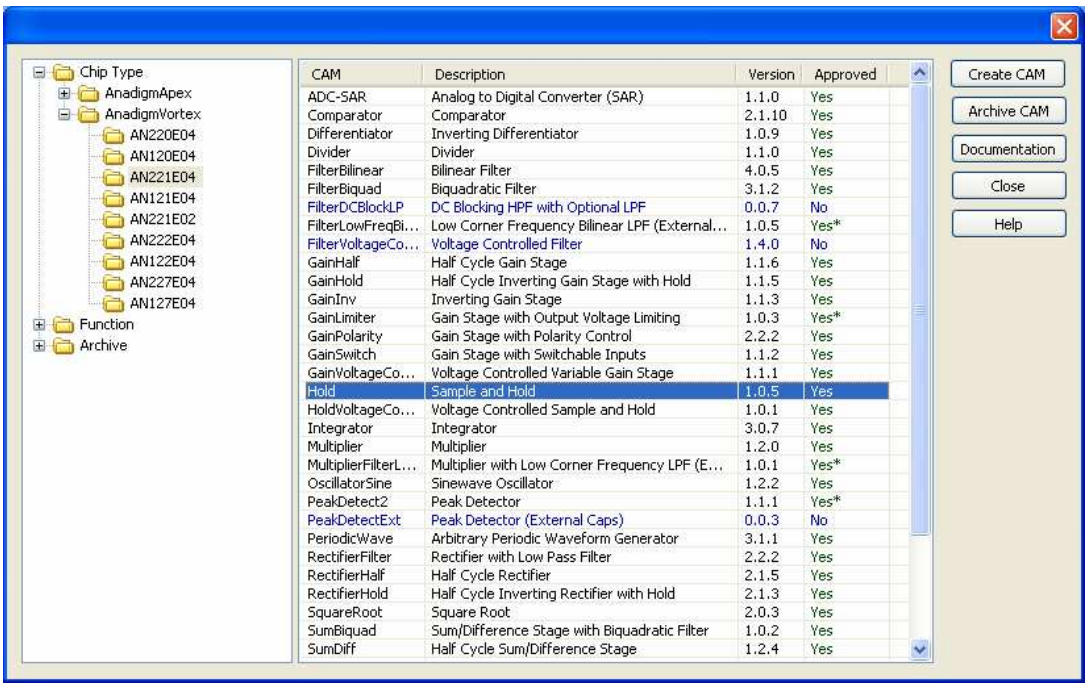

Chip Type
AnadigmApex
AnadigmVortex
AN220E04
AN120E04
AN221E04
AN121E04
AN221E02
AN222E04
AN122E04
AN227E04
AN127E04
Function
Archive
CAM | Description | Version | Approved
ADC-SAR | Analog to Digital Converter (SAR) | 1.1.0 | Yes
Comparator | Comparator | 2.1.10 | Yes
Differentiator | Inverting Differentiator | 1.0.9 | Yes
Divider | Divider | 1.1.0 | Yes
FilterBilinear | Bilinear Filter | 4.0.5 | Yes
FilterBiquad | Biquadratic Filter | 3.1.2 | Yes
FilterDCBlockLP | DC Blocking HPF with Optional LPF | 0.0.7 | No
FilterLowFreqBi... | Low Corner Frequency Bilinear LPF (External... | 1.0.5 | Yes*
FilterVoltageCo... | Voltage Controlled Filter | 1.4.0 | No
GainHalf | Half Cycle Gain Stage | 1.1.6 | Yes
GainHold | Half Cycle Inverting Gain Stage with Hold | 1.1.5 | Yes
GainInv | Inverting Gain Stage | 1.1.3 | Yes
GainLimiter | Gain Stage with Output Voltage Limiting | 1.0.3 | Yes*
GainPolarity | Gain Stage with Polarity Control | 2.2.2 | Yes
GainSwitch | Gain Stage with Switchable Inputs | 1.1.2 | Yes
GainVoltageCo... | Voltage Controlled Variable Gain Stage | 1.1.1 | Yes
Hold | Sample and Hold | 1.0.5 | Yes
HoldVoltageCo... | Voltage Controlled Sample and Hold | 1.0.1 | Yes
Integrator | Integrator | 3.0.7 | Yes
Multiplier | Multiplier | 1.2.0 | Yes
MultiplierFilterL... | Multiplier with Low Corner Frequency LPF (E... | 1.0.1 | Yes*
OscillatorSine | Sinewave Oscillator | 1.2.2 | Yes
PeakDetect2 | Peak Detector | 1.1.1 | Yes*
PeakDetectExt | Peak Detector (External Caps) | 0.0.3 | No
PeriodicWave | Arbitrary Periodic Waveform Generator | 3.1.1 | Yes
RectifierFilter | Rectifier with Low Pass Filter | 2.2.2 | Yes
RectifierHalf | Half Cycle Rectifier | 2.1.5 | Yes
RectifierHold | Half Cycle Inverting Rectifier with Hold | 2.1.3 | Yes
SquareRoot | Square Root | 2.0.3 | Yes
SumBiquad | Sum/Difference Stage with Biquadratic Filter | 1.0.2 | Yes
SumDiff | Half Cycle Sum/Difference Stage | 1.2.4 | Yes
Create CAM
Archive CAM
Documentation
Close
Help

Figura 45 – Selección del CAM Sample and Hold

Para finalizar la etapa de salida (CAM2) es necesaria la inclusión del CAM Sample and hold para la obtención de una señal de salida continua, ver figura 45. Se configura el CAM con el mismo reloj utilizado en los otros CAM, ver figura 46.

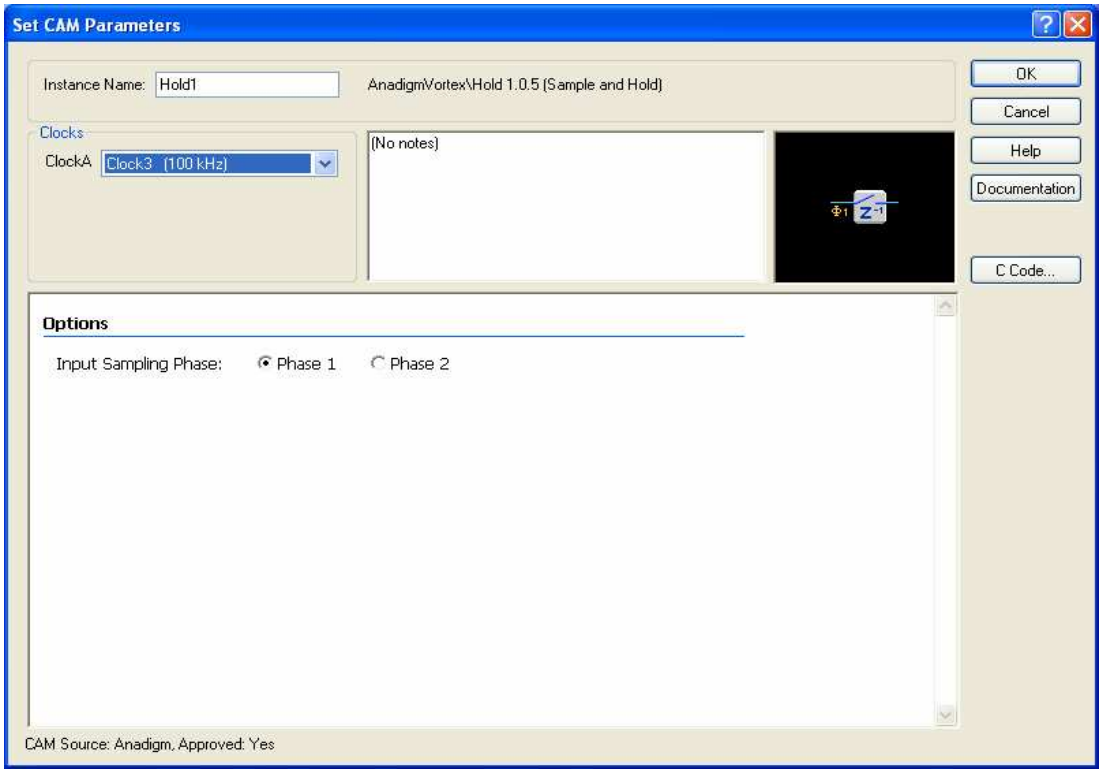


Figura 46 – Selección del reloj del CAM Sample and hold

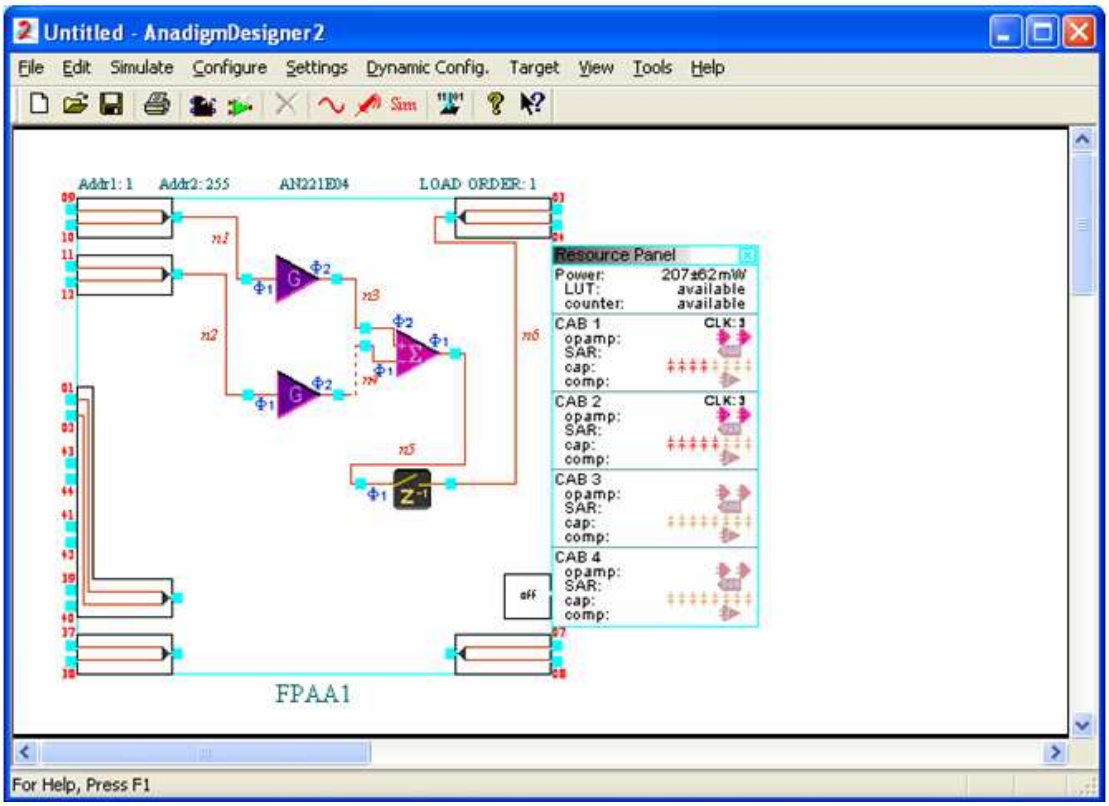


Figura 47 – Amplificador de Instrumentación completo

Una vez finalizada la inserción de todos los CAM necesarios se unen mediante conexiones. La etapa de entrada se conectará a las dos celdas de entrada (una entrada por cada uno de los CAM) y la etapa de salida a la celda de salida como se muestra en la figura 47.

Para finalizar el proceso de implementación se comprueba que los diferentes CAM estén en sincronización de fases (transferencia > muestreo o muestreo > transferencia), la conexión punteada indica algún tipo error. En este caso la fase de muestreo del CAM Sum/Difference Stage nos obliga a cambiar la fase de muestreo de uno de los CAM de la etapa de entrada, ver figura 48.

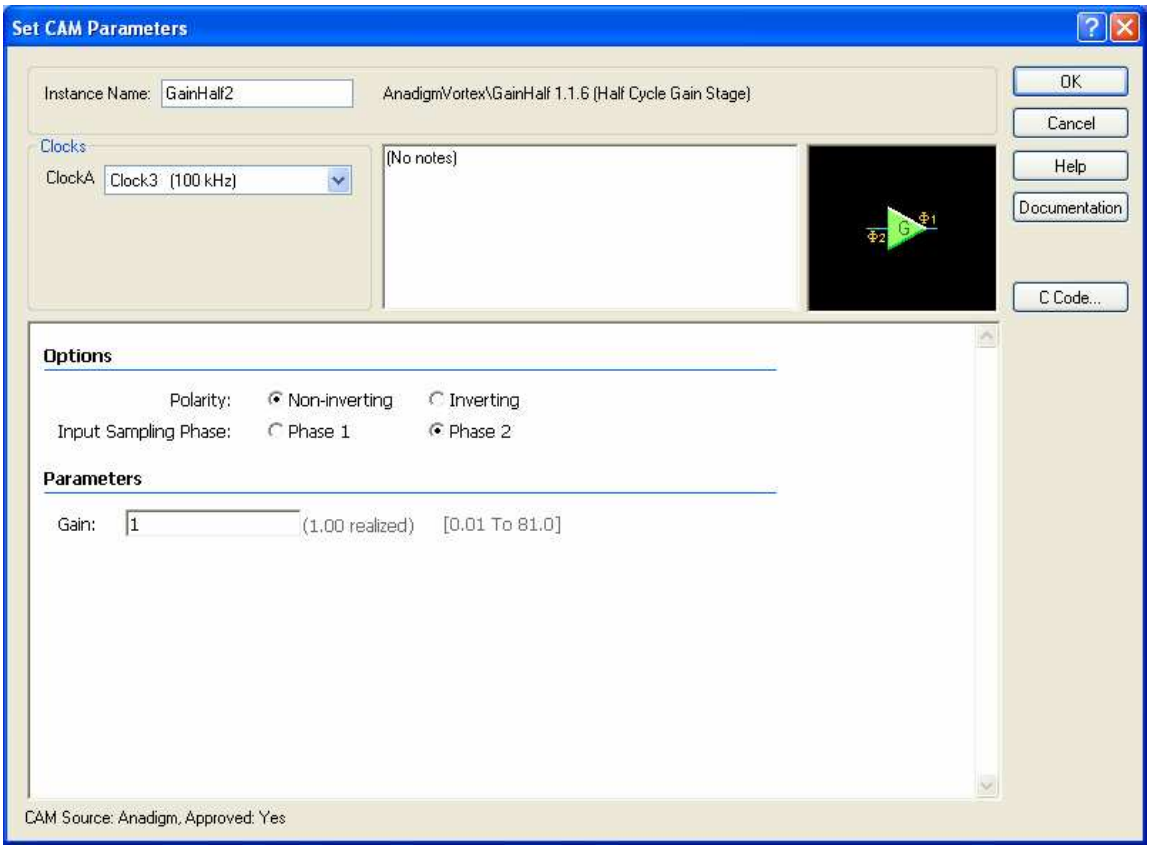


Figura 48 – Sincronización de fases

Una vez finalizado el proceso de implementación el resultado es el mostrado en la figura 49.

3.2 Medidas realizadas

Una vez diseñado el AI se han efectuado una serie de pruebas para su estudio. Se ha utilizado una pequeña tarjeta con un sencillo montaje, ver figura 50. Este circuito, formado por un AO en configuración inversora, consigue una intensidad constante para alimentar una RTC (potenciometro situado entre VR-Vn) y un potenciometro de ajuste de offset (Vo-VR).El voltaje de referencia de 2.5V queda fijado entre VRef y Vn, siendo el potenciómetro de 15KΩ el encargado de fijar la intensidad por la rama de realimentación. Su diseño se explica en el apartado **2. Manual de usuario.** Para la realización de las

pruebas, además de esta tarjeta, se ha utilizado una tarjeta de desarrollo Anadigm AN221K04-v3 como la mostrada en la figura 51.

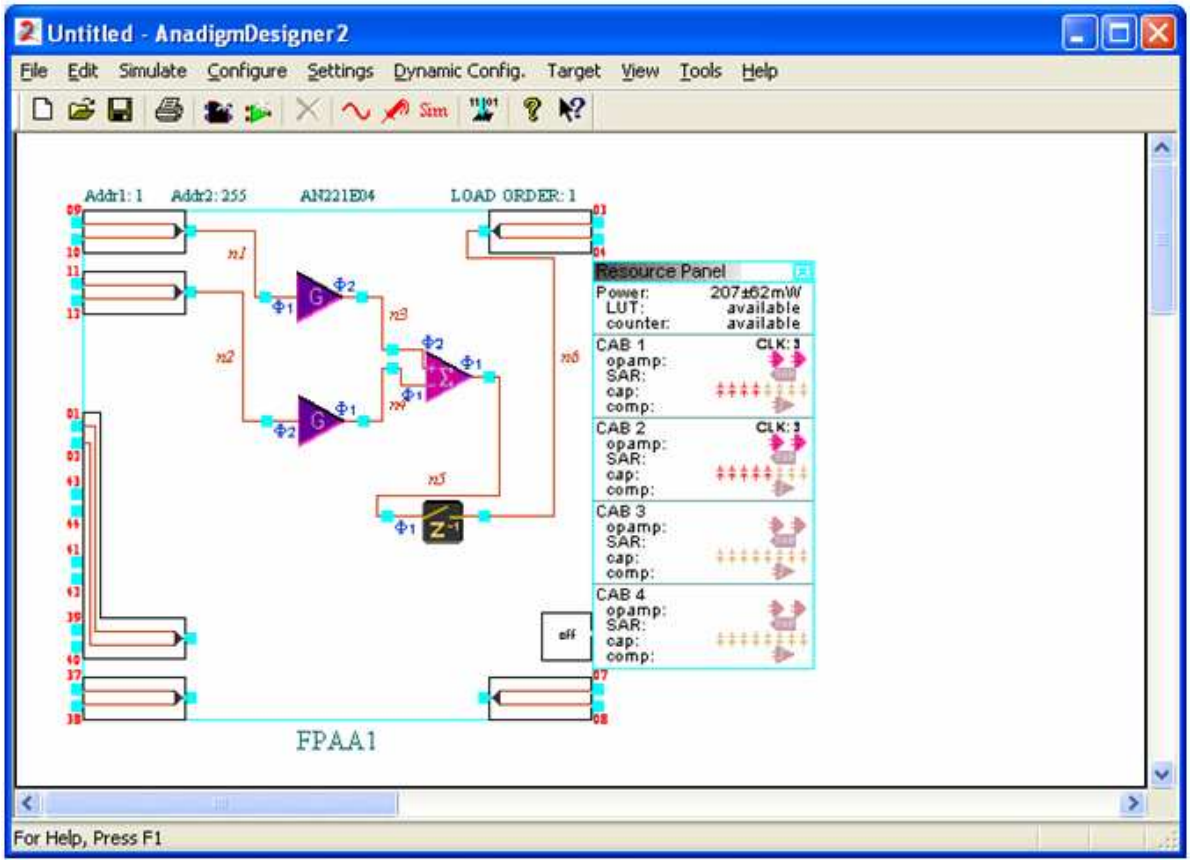


Figura 49 – A.I. finalizado

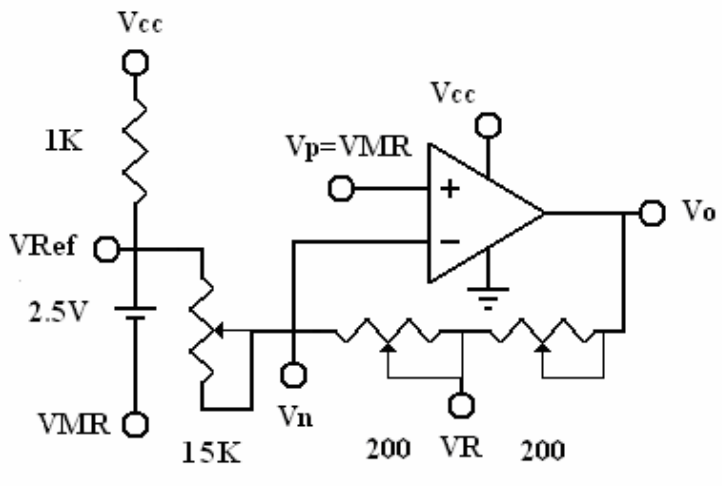


Figura 50 – Circuito de la tarjeta de pruebas

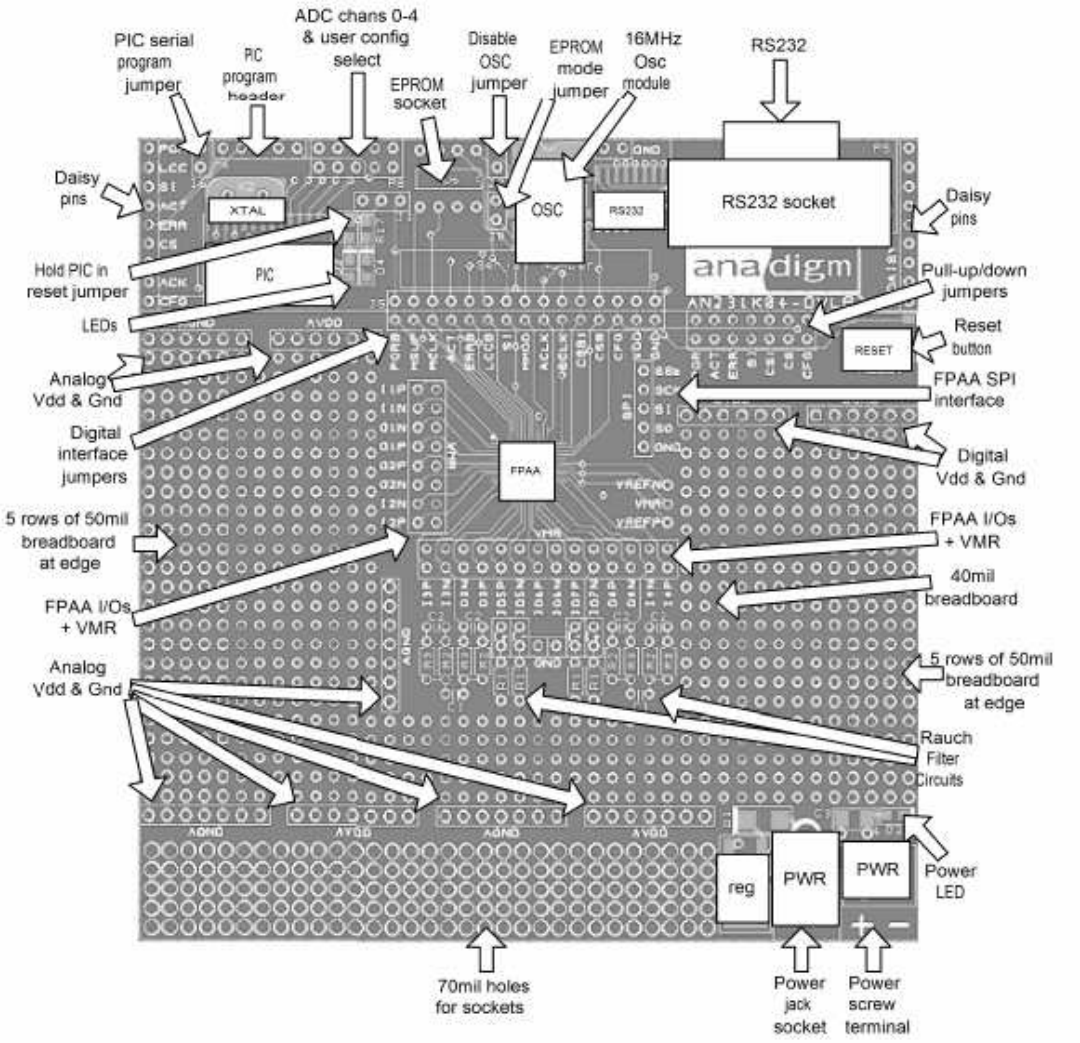


Figura 51 - Tarjeta AN221K04-v3

El principal factor a tener en cuenta para trabajar con la FPAA AN221E04 es el tipo de señales a tratar. Esta FPAA trabaja con dos tipos de señales:

- Señales diferenciales.
- Señales single-ended o referenciadas a VMR (Voltage medium range, 2V).

además por cada tipo de señal dispone de dos modos, de alta precisión o de precisión estándar.

Señales diferenciales:

Para trabajar con señales diferenciales es necesario establecer un voltaje común de entre 0V y 4V en todas las entradas de la FPAA, siendo recomendado el valor de 2V. Una posible solución es conectar unos resistores entre el VMR y las entradas de la FPAA como se muestra en la figura 52; siempre teniendo en cuenta la impedancia de la carga con la cúal va a trabajar la FPAA respecto de estos resistores.

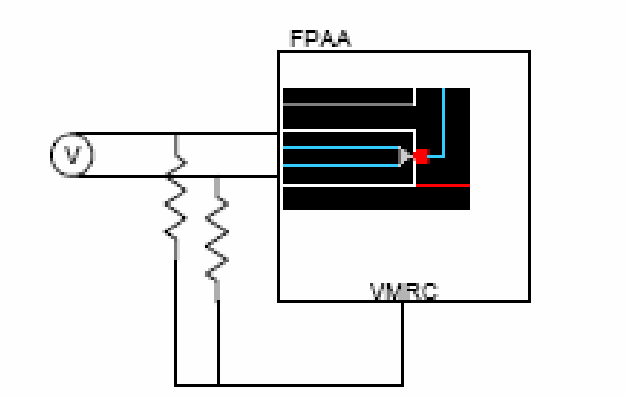


Figura 52 – Ejemplo de conexión para señales diferenciales

Otra opción es adaptar las señales de entrada convirtiendo VMR en la tierra del sistema, ver figura 53.

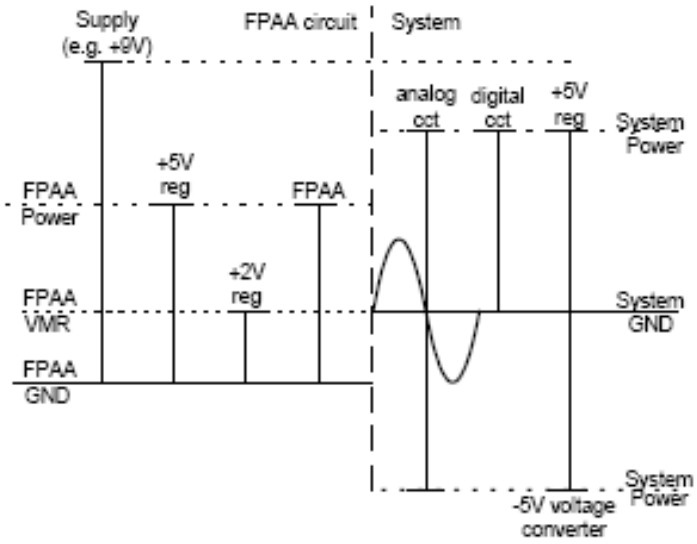


Figura 53 – Ejemplo de adaptación de señales

En ambos casos, el voltaje máximo permitido con señales diferenciales es de ± 3V para trabajar en modo de alta precisión y ± 3,8V para el modo de precisión estándar, siempre con un voltaje común de 2V.

Señales single-ended o referenciadas a VMR:

Para trabajar con señales referenciadas a VMR el voltaje máximo permitido esta comprendido entre 0,5V y 3,5V (VMR ± 1,5V) para trabajar en modo de alta precisión y entre 0,1V y 3,9V (VMR ± 1,9V) para el modo de precisión estándar.

El sistema de pruebas trabaja de forma hibrida siguiendo el ejemplo de la figura 53, es decir, señales diferenciales referenciadas a VMR. En vez de utilizar señales single ended; que se conectan internamente a VMR mediante la configuración de las celdas de entrada, se conecta externamente VMR a los pines correspondientes.

Las medidas se toman a la salida de la FPAA sobre un resistor de 1KΩ. El esquema del sistema de pruebas sería el mostrado en la figura 54.

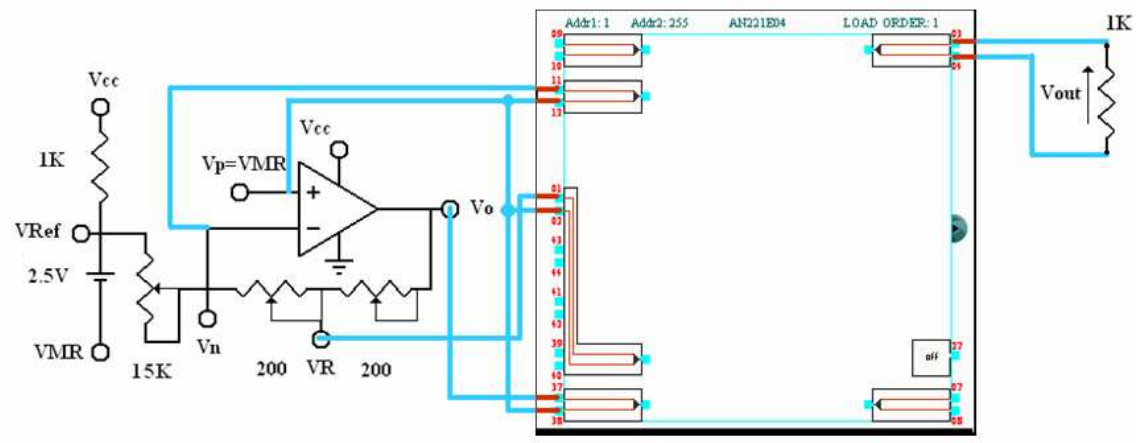


Figura 54 - Sistema de pruebas

A. Pruebas

A.1.- Prueba 1

En esta prueba se ha medido la respuesta de la FPAA entre los puntos Vn-VMR y VR-VMR, siendo la ecuación de comportamiento del sistema la siguiente:

$$V_{out} = (VR - VMR)\cdot G_{CAM1}\cdot G_{CAM3a} - (Vn - VMR)\cdot G_{CAM2}\cdot G_{CAM3b}$$

$$V_{out} = [(VR - VMR) - (Vn - VMR)]\cdot G$$

siendo: G=100, ganancia total

$G_{CAM1}=G_{CAM2}=G_{CAM3a}=G_{CAM3b}= 10$

En la figura 55 se muestra el esquema electrónico. Se ha medido la respuesta sin el filtro de la celda de salida activo y con el filtro activado con una frecuencia de corte de 470kHz, obteniendo los resultados de la tabla 1 y grafica 1.

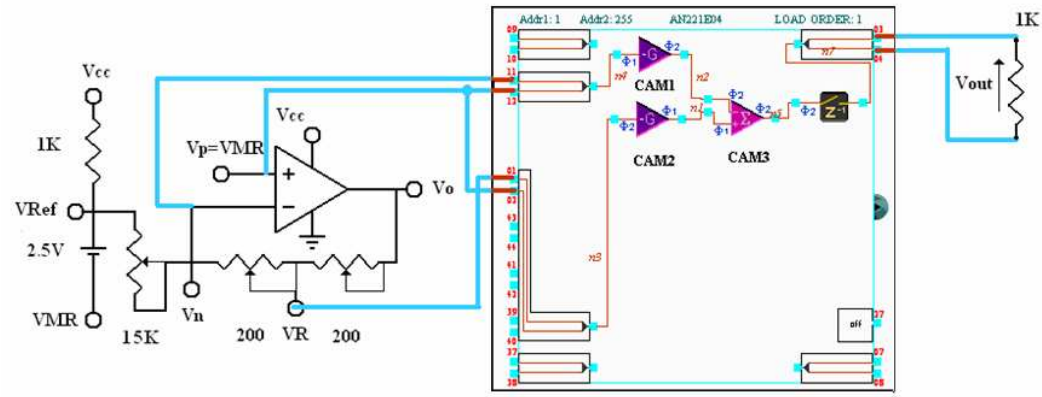
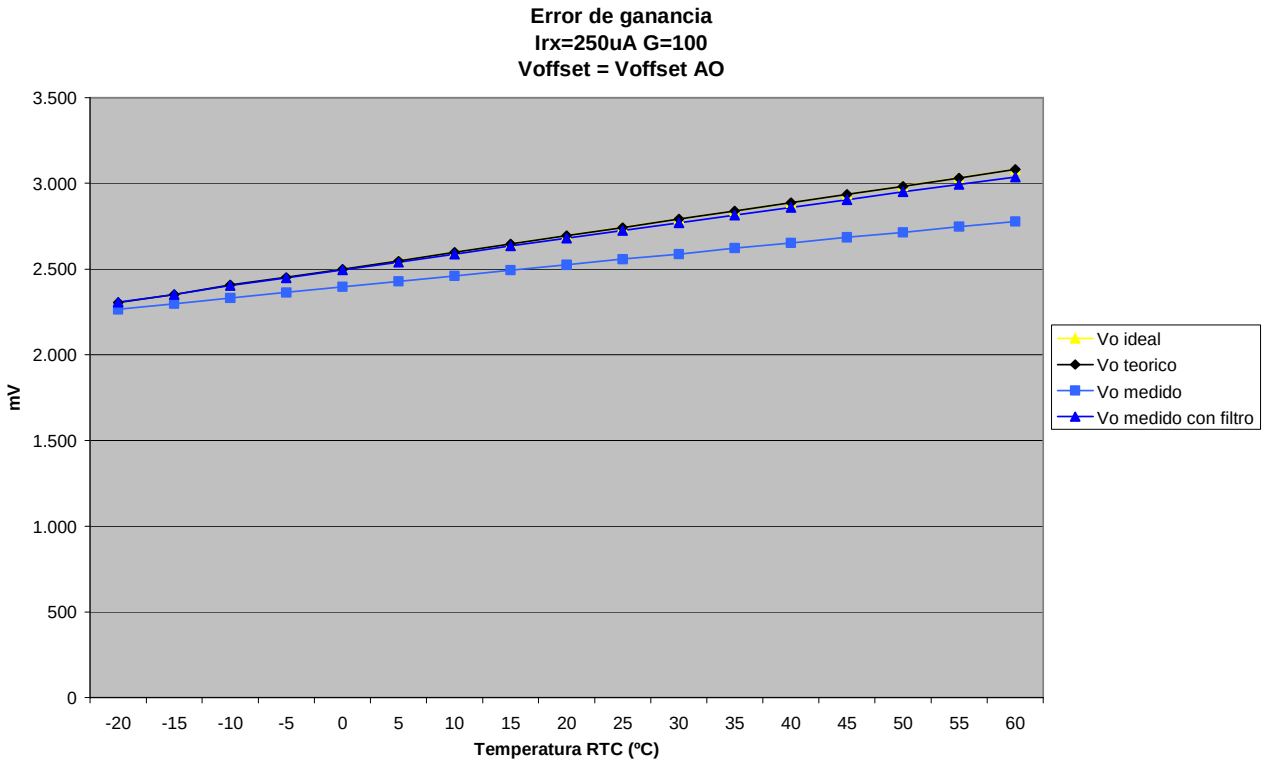


Figura 55 – Circuito de la prueba 1

Temp	PT-100 Ω	VRTC mV (IRTC uA)	Vdiff mV (Vroffset V)	Vo ideal V (Ganancia)	Vdiff medido mV	Vo teórico V	Vo sin filtro mV	Error de gan. %	Vo con filtro mV	Error de gan. %
		250	0	100						
-20	92,16	23,040	23,040	2.304	23,05	2305	2265	1,735	2307	-0,087
-15	94,12	23,530	23,530	2.353	23,51	2351	2297	2,297	2352	-0,043
-10	96,09	24,023	24,023	2.402	24,07	2407	2332	3,108	2405	0,075
-5	98,04	24,510	24,510	2.451	24,52	2452	2364	3,589	2449	0,122
0	100,00	25,000	25,000	2.500	25,00	2500	2396	4,160	2495	0,200
5	101,95	25,488	25,488	2.549	25,47	2547	2428	4,672	2539	0,314
10	103,90	25,975	25,975	2.598	25,98	2598	2460	5,312	2588	0,385
15	105,85	26,463	26,463	2.646	26,47	2647	2494	5,780	2635	0,453
20	107,79	26,948	26,948	2.695	26,95	2695	2524	6,345	2680	0,557
25	109,73	27,433	27,433	2.743	27,42	2742	2558	6,710	2725	0,620
30	111,67	27,918	27,918	2.792	27,91	2791	2588	7,273	2769	0,788
35	113,61	28,403	28,403	2.840	28,40	2840	2622	7,676	2815	0,880
40	115,54	28,885	28,885	2.889	28,88	2888	2652	8,172	2859	1,004
45	117,47	29,368	29,368	2.937	29,37	2937	2685	8,574	2904	1,117
50	119,40	29,850	29,850	2.985	29,83	2983	2714	9,018	2951	1,073
55	121,32	30,330	30,330	3.033	30,32	3032	2748	9,367	2993	1,286
60	123,24	30,810	30,810	3.081	30,81	3081	2778	9,834	3036	1,461

Tabla 1



Grafica 1

A.2.- Prueba 2

En esta prueba se ha medido la respuesta de la FPAA entre los puntos Vo-VMR ($V_{RTC}+V_{offset}$) y VR-VMR (V_{offset}), siendo la ecuación de comportamiento del sistema la siguiente:

$$V_{out} = (Vo - VMR)\cdot G_{CAM1}\cdot G_{CAM3a} - (VR - VMR)\cdot G_{CAM2}\cdot G_{CAM3b}$$

$$V_{out} = [(Vo - VMR) - (VR - VMR)]\cdot G$$

siendo: G=100, ganancia total

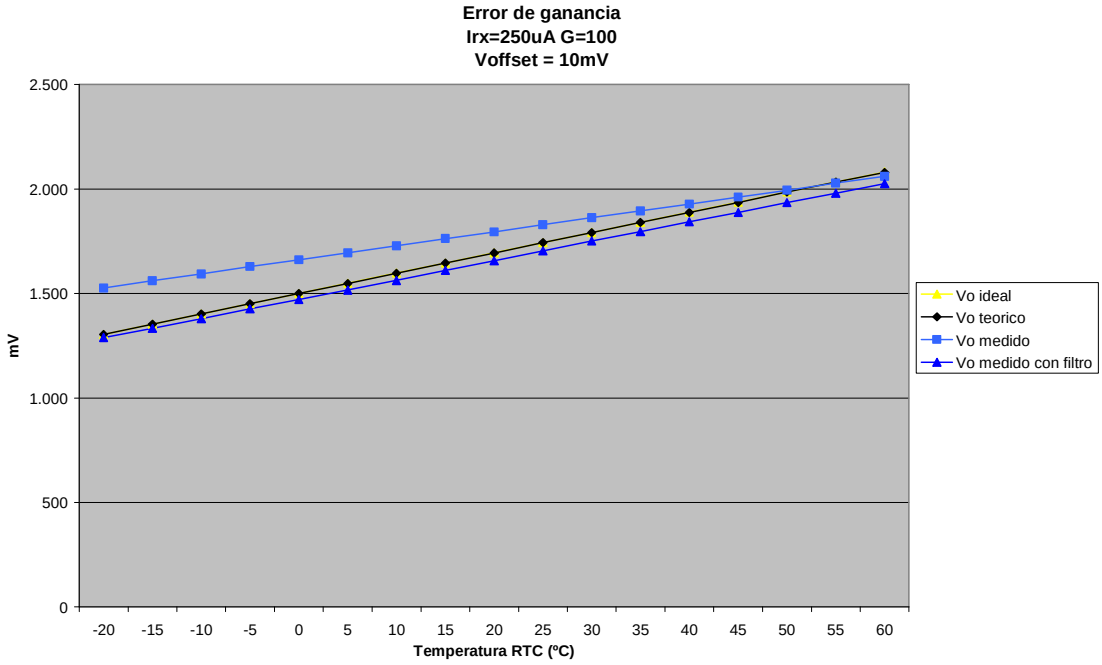
$G_{CAM1}=G_{CAM2}=G_{CAM3a}=G_{CAM3b}= 10$

VR-VMR=10mV

En la figura 56 se muestra el esquema electrónico. En esta prueba el potenciómetro situado entre VR-Vn se utiliza como voltaje de offset para el ajuste vertical del voltaje de salida con un valor fijo de 10mV y el potenciómetro Vo-VR sirve para modelar la RTC. Se ha medido la curva de transferencia sin el filtro de la celda de salida activo y con el filtro activado con una frecuencia de corte de 470kHz, obteniendo los resultados que aparecen en la tabla 2 y en la grafica 2.

Temp	PT-100(Ω)	VRTC mV (IRTC uA)	Vdiff mV (Vrfija V)	Vo ideal V (Ganancia)	Vdiff medido mV	Vo teórico V	Vo sin filtro mV	Error de gan. %	Vo con filtro mV	Error de gan. %
		250	10	100						
-20	92,16	23,040	13,040	1.304	13,04	1304,00	1526	-17,025	1289	1,150
-15	94,12	23,530	13,530	1.353	13,53	1353,00	1561	-15,373	1333	1,478
-10	96,09	24,023	14,023	1.402	14,02	1402,00	1593	-13,623	1379	1,641
-5	98,04	24,510	14,510	1.451	14,51	1451,00	1629	-12,267	1426	1,723
0	100,00	25,000	15,000	1.500	15,00	1500,00	1661	-10,733	1471	1,933
5	101,95	25,488	15,488	1.549	15,48	1548,00	1695	-9,496	1516	2,067
10	103,90	25,975	15,975	1.598	15,97	1597,00	1728	-8,203	1562	2,192
15	105,85	26,463	16,463	1.646	16,46	1646,00	1763	-7,108	1610	2,187
20	107,79	26,948	16,948	1.695	16,94	1694,00	1794	-5,903	1657	2,184
25	109,73	27,433	17,433	1.743	17,43	1743,00	1829	-4,934	1704	2,238
30	111,67	27,918	17,918	1.792	17,91	1791,00	1862	-3,964	1751	2,233
35	113,61	28,403	18,403	1.840	18,40	1840,00	1895	-2,989	1796	2,391
40	115,54	28,885	18,885	1.889	18,88	1888,00	1928	-2,119	1843	2,383
45	117,47	29,368	19,368	1.937	19,36	1936,00	1961	-1,291	1888	2,479
50	119,40	29,850	19,850	1.985	19,85	1985,00	1994	-0,453	1935	2,519
55	121,32	30,330	20,330	2.033	20,33	2033,00	2028	0,246	1980	2,607
60	123,24	30,810	20,810	2.081	20,80	2080,00	2060	0,962	2026	2,596

Tabla 2



Grafica 2

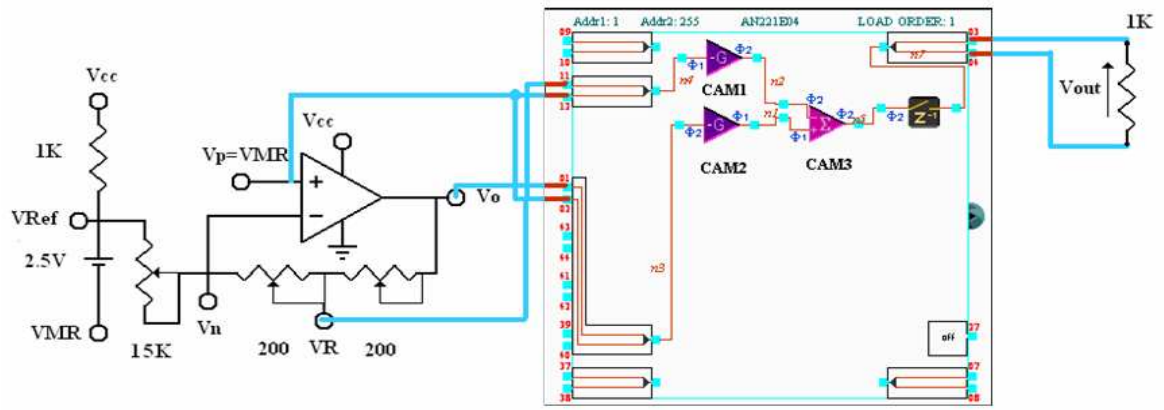


Figura 56 – Circuito de la prueba 2

A.3.- Prueba 3

Esta prueba es idéntica a la prueba 2 con las siguientes variaciones:

G=200, ganancia total

$G_{CAM1}=G_{CAM2}= 10$

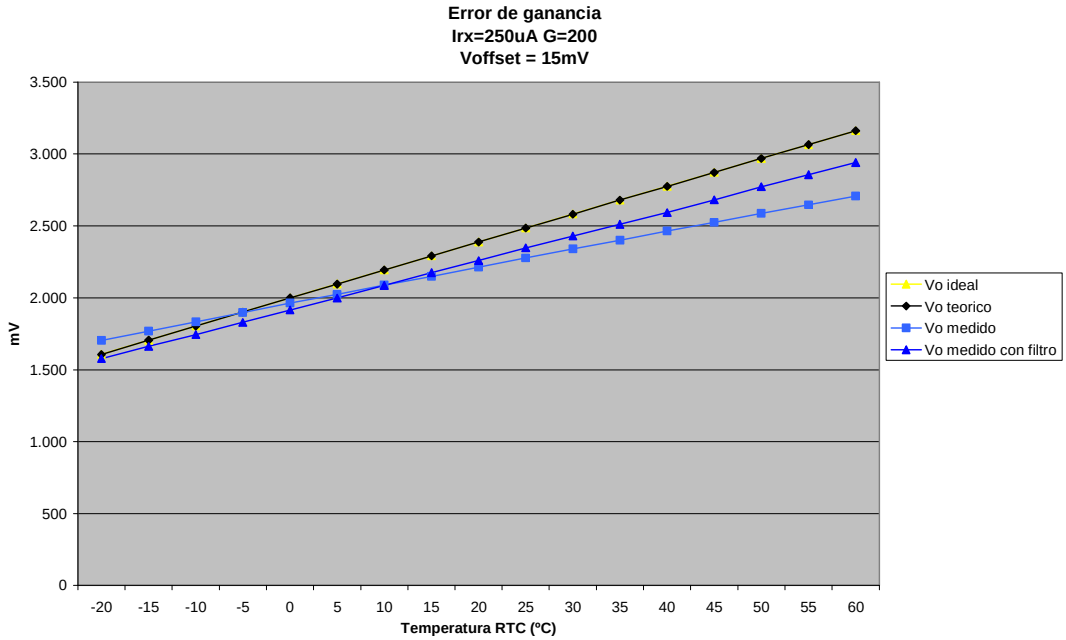
$G_{CAM3a}=G_{CAM3b}= 20$

VR-VMR=15mV

obteniendo los resultados de la tabla 3 y la grafica 3:

Temp	PT-100(Ω)	VRTC mV (IRTC uA)	Vdiff mV (Vrfija V)	Vo ideal V (Ganancia)	Vdiff medido mV	Vo teórico V	Vo sin filtro mV	Error de gan. %	Vo con filtro	Error de gan. %
		250	15	200						
-20	92,16	23,040	8,040	1.608	8,03	1606,00	1704	-6,102	1577	1,806
-15	94,12	23,530	8,530	1.706	8,53	1706,00	1769	-3,693	1663	2,521
-10	96,09	24,023	9,023	1.805	9,02	1804,00	1834	-1,663	1745	3,271
-5	98,04	24,510	9,510	1.902	9,51	1902,00	1898	0,210	1830	3,785
0	100,00	25,000	10,000	2.000	10,00	2000,00	1964	1,800	1916	4,200
5	101,95	25,488	10,488	2.098	10,48	2096,00	2024	3,435	1999	4,628
10	103,90	25,975	10,975	2.195	10,97	2194,00	2089	4,786	2087	4,877
15	105,85	26,463	11,463	2.293	11,46	2292,00	2150	6,195	2176	5,061
20	107,79	26,948	11,948	2.390	11,94	2388,00	2214	7,286	2260	5,360
25	109,73	27,433	12,433	2.487	12,43	2486,00	2277	8,407	2348	5,551
30	111,67	27,918	12,918	2.584	12,91	2582,00	2340	9,373	2430	5,887
35	113,61	28,403	13,403	2.681	13,40	2680,00	2401	10,410	2512	6,269
40	115,54	28,885	13,885	2.777	13,88	2776,00	2465	11,203	2594	6,556
45	117,47	29,368	14,368	2.874	14,36	2872,00	2524	12,117	2681	6,650
50	119,40	29,850	14,850	2.970	14,85	2970,00	2587	12,896	2773	6,633
55	121,32	30,330	15,330	3.066	15,33	3066,00	2647	13,666	2857	6,817
60	123,24	30,810	15,810	3.162	15,81	3162,00	2707	14,390	2941	6,989

Tabla 3



Grafica 3

A.4.- Prueba 4:

Esta prueba es idéntica a la prueba 2 con las siguientes variaciones:

G=300, ganancia total

$G_{CAM1}=G_{CAM2}= 10$

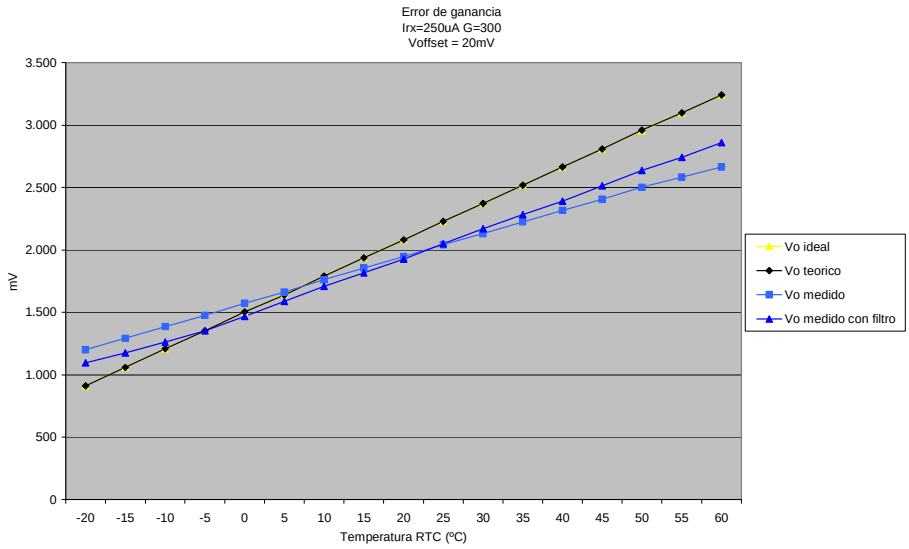
$G_{CAM3a}=G_{CAM3b}= 30$

VR-VMR=20mV

obteniendo los resultados de la tabla 4 y la grafica 4:

Temp	PT-100(Ω)	V_{RTC} mV (I_{RTC} uA)	Vdiff mV (Vrfija V)	Vo ideal V (Ganancia)	Vdiff medido mV	Vo teórico mV	Vo sin filtro mV	Error de gan. %	Vo con filtro mV	Error de gan. %
		250	20	300						
-20	92,16	23,040	3,040	912	3,04	912,00	1201	-31,689	1096	-20,175
-15	94,12	23,530	3,530	1.059	3,53	1059,00	1292	-22,002	1176	-11,048
-10	96,09	24,023	4,023	1.207	4,03	1209,00	1387	-14,723	1262	-4,384
-5	98,04	24,510	4,510	1.353	4,51	1353,00	1476	-9,091	1352	0,074
0	100,00	25,000	5,000	1.500	5,01	1503,00	1574	-4,724	1468	2,329
5	101,95	25,488	5,488	1.646	5,47	1641,00	1662	-1,280	1587	3,291
10	103,90	25,975	5,975	1.793	5,97	1791,00	1762	1,619	1710	4,523
15	105,85	26,463	6,463	1.939	6,46	1938,00	1856	4,231	1817	6,244
20	107,79	26,948	6,948	2.084	6,94	2082,00	1947	6,484	1926	7,493
25	109,73	27,433	7,433	2.230	7,43	2229,00	2042	8,389	2051	7,986
30	111,67	27,918	7,918	2.375	7,91	2373,00	2132	10,156	2170	8,555
35	113,61	28,403	8,403	2.521	8,40	2520,00	2225	11,706	2282	9,444
40	115,54	28,885	8,885	2.666	8,88	2664,00	2318	12,988	2390	10,285
45	117,47	29,368	9,368	2.810	9,36	2808,00	2406	14,316	2513	10,506
50	119,40	29,850	9,850	2.955	9,87	2961,00	2502	15,502	2637	10,942
55	121,32	30,330	10,330	3.099	10,33	3099,00	2582	16,683	2743	11,488
60	123,24	30,810	10,810	3.243	10,81	3243,00	2665	17,823	2860	11,810

Tabla 4



Grafica 4

B. Pruebas, corregido el error de ganancia y el error de offset.

B.1.- Prueba 2 (con corrección de errores)

En esta prueba se ha realizado el ajuste en la prueba 2 corrigiendo la ganancia del AI y el offset. Dicho ajuste se realiza sobre los valores de ganancia de los CAM. Además se sustituye la utilización el filtro de la etapa salida por un nuevo CAM FilterBiquad, filtro bicuadratico, con el objetivo de suprimir el ruido

producido en la salida debido a la conmutación de los condensadores y que por la limitación de la frecuencia de corte del filtro de la etapa de salida no es posible suprimir. El nuevo esquema electrónico se puede observar en la figura 57. Los parámetros del nuevo CAM son los mostrados en la figura 58:

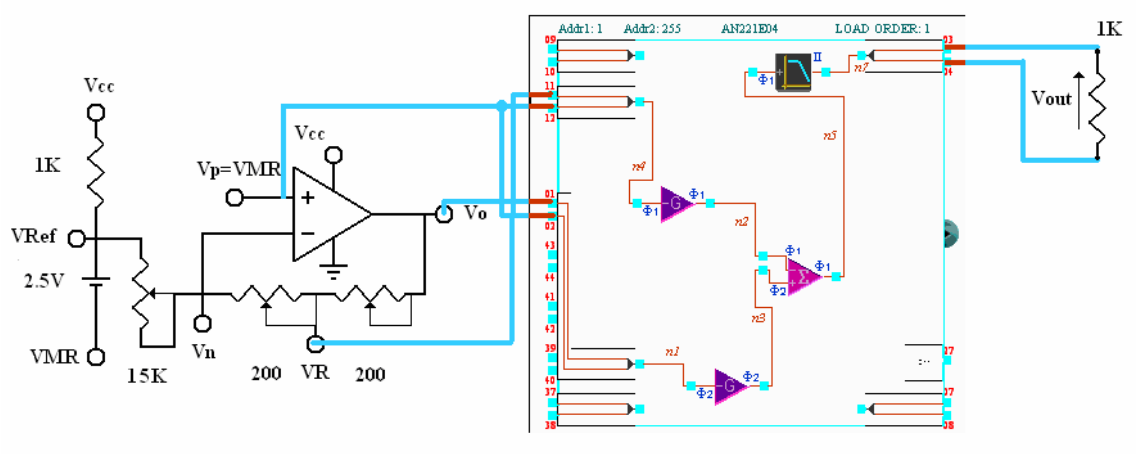


Figura 57 – Circuito de la prueba 2 con correcciones

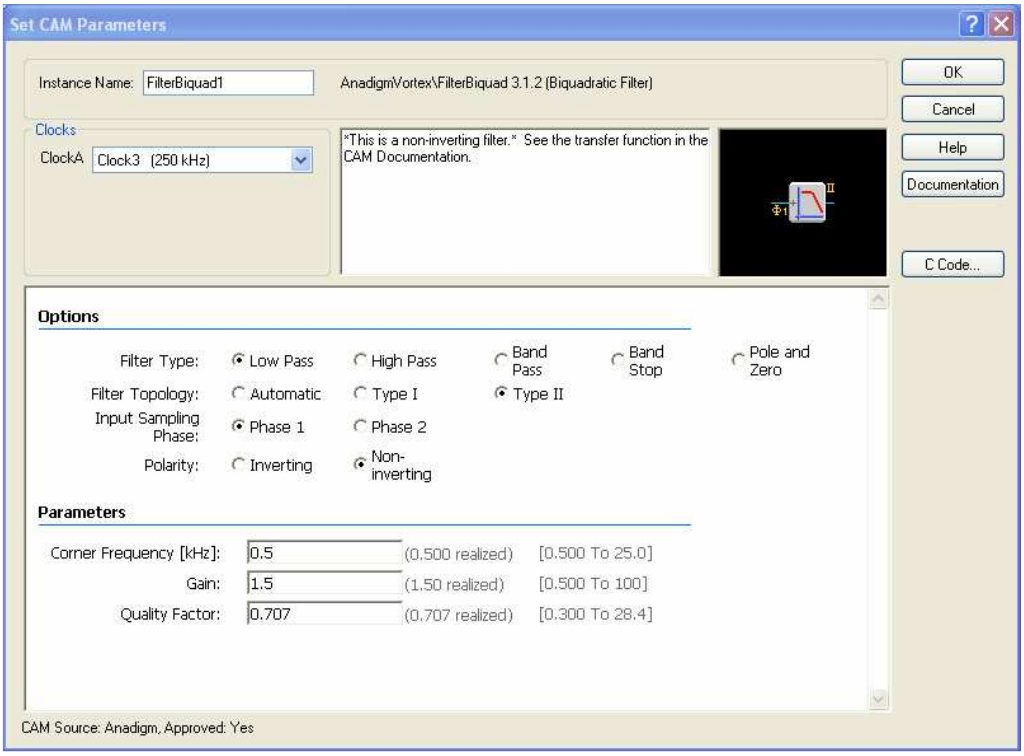

Set CAM Parameters
Instance Name: FilterBiquad1
AnadigmVortex\FilterBiquad 3.1.2 (Biquadratic Filter)
OK
Cancel
Help
Documentation
C Code...
Clocks
ClockA Clock3 (250 kHz)
This is a non-inverting filter. See the transfer function in the CAM Documentation.
Options
Filter Type: Low Pass High Pass Band Pass Band Stop Pole and Zero
Filter Topology: Automatic Type I Type II
Input Sampling Phase: Phase 1 Phase 2
Polarity: Inverting Non-inverting
Parameters
Corner Frequency [kHz]: 0.5 (0.500 realized) [0.500 To 25.0]
Gain: 1.5 (1.50 realized) [0.500 To 100]
Quality Factor: 0.707 (0.707 realized) [0.300 To 28.4]
CAM Source: Anadigm, Approved: Yes

Figura 58- Configuración del CAM Biquadratic filter

Una vez realizado el ajuste del AI el valor de las ganancias de los CAM son los siguientes:

G_{CAM1}= 17.2

G_{CAM2}= 9.8

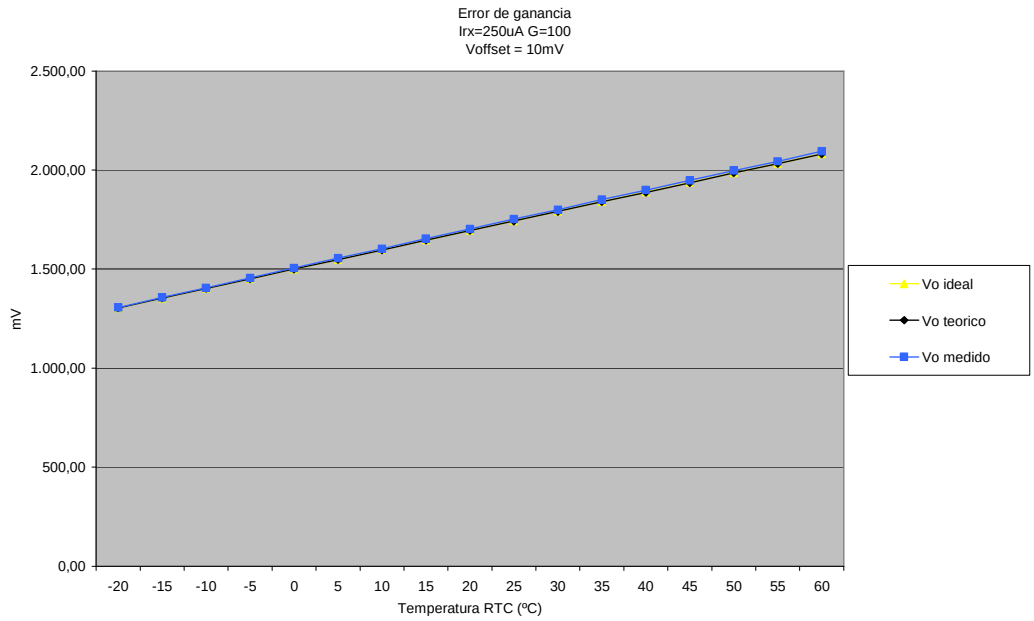
G_{CAM3a}=G_{CAM3b}= 10.1

VR-VMR=10mV

obteniendo los resultados en la tabla 5 y la grafica 5:

Temp	PT-100 Ω	VRTC mV (IRTC uA)	Vdiff mV (Vrfija V)	Vo ideal V (Ganancia)	Vdiff medido mV	Vo teórico mV	Vo sin filtro mV	Error de gan. %
		250	10	100				
-20	92,16	23,040	13,040	1.304,00	13,04	1304,00	1306,00	-0,153
-15	94,12	23,530	13,530	1.353,00	13,54	1354,00	1357,00	-0,222
-10	96,09	24,023	14,023	1.402,25	14,02	1402,00	1405,00	-0,214
-5	98,04	24,510	14,510	1.451,00	14,51	1451,00	1455,00	-0,276
0	100,00	25,000	15,000	1.500,00	15,00	1500,00	1505,00	-0,333
5	101,95	25,488	15,488	1.548,75	15,48	1548,00	1555,00	-0,452
10	103,90	25,975	15,975	1.597,50	15,97	1597,00	1603,00	-0,376
15	105,85	26,463	16,463	1.646,25	16,46	1646,00	1654,00	-0,486
20	107,79	26,948	16,948	1.694,75	16,94	1694,00	1703,00	-0,531
25	109,73	27,433	17,433	1.743,25	17,43	1743,00	1752,00	-0,516
30	111,67	27,918	17,918	1.791,75	17,91	1791,00	1800,00	-0,503
35	113,61	28,403	18,403	1.840,25	18,40	1840,00	1851,00	-0,598
40	115,54	28,885	18,885	1.888,50	18,88	1888,00	1899,00	-0,583
45	117,47	29,368	19,368	1.936,75	19,36	1936,00	1948,00	-0,620
50	119,40	29,850	19,850	1.985,00	19,85	1985,00	1997,00	-0,605
55	121,32	30,330	20,330	2.033,00	20,33	2033,00	2044,00	-0,541
60	123,24	30,810	20,810	2.081,00	20,81	2081,00	2095,00	-0,673

Tabla 5



Grafica 5

B.2.- Prueba 3 (con corrección de errores)

En esta prueba se utiliza el mismo esquema electrónico utilizado en el apartado anterior y siguiendo la misma metodología de ajuste. Los valores una vez realizado el ajuste son los siguientes:

G_{CAM1}= 12.6

G_{CAM2}= 10.1

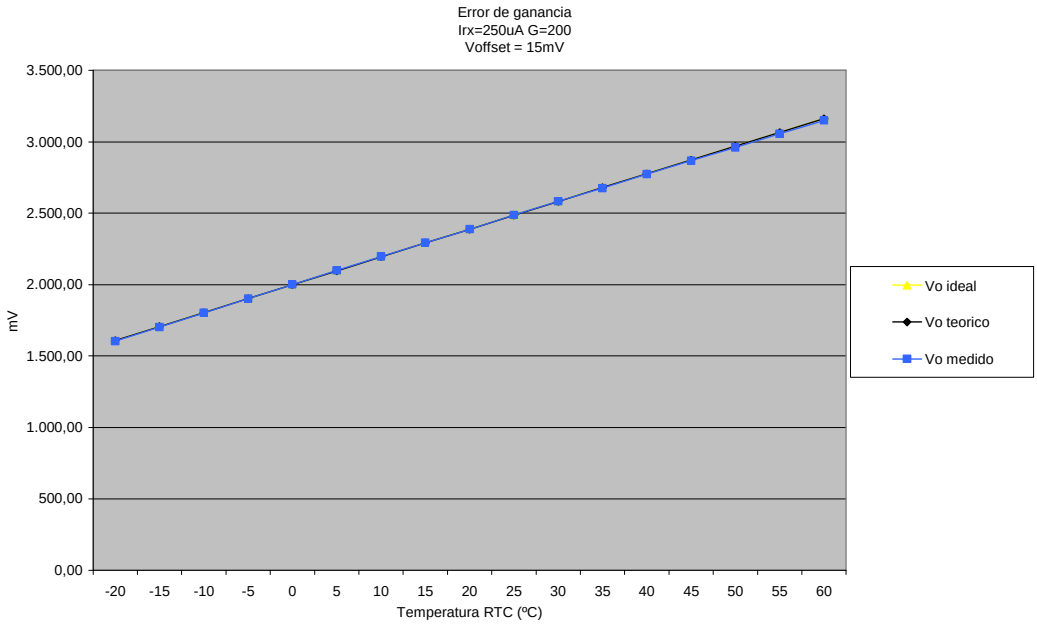
G_{CAM3a}=G_{CAM3b}= 20.1

VR-VMR=15mV

obteniendo los resultados de la tabla 6 y la grafica 6:

Temp	PT-100 Ω	VRTC mV (IRTC uA)	Vdiff mV (Vrfija V)	Vo ideal V (Ganancia)	Vdiff medido mV	Vo teórico mV	Vo sin filtro mV	Error de gan. %
		250	15	200				
-20	92,16	23,040	8,040	1.608,00	8,04	1608,00	1604,00	0,249
-15	94,12	23,530	8,530	1.706,00	8,53	1706,00	1704,00	0,117
-10	96,09	24,023	9,023	1.804,50	9,02	1804,00	1803,00	0,055
-5	98,04	24,510	9,510	1.902,00	9,51	1902,00	1902,00	0,000
0	100,00	25,000	10,000	2.000,00	10,00	2000,00	2000,00	0,000
5	101,95	25,488	10,488	2.097,50	10,48	2096,00	2100,00	-0,191
10	103,90	25,975	10,975	2.195,00	10,97	2194,00	2197,00	-0,137
15	105,85	26,463	11,463	2.292,50	11,46	2292,00	2294,00	-0,087
20	107,79	26,948	11,948	2.389,50	11,94	2388,00	2388,00	0,000
25	109,73	27,433	12,433	2.486,50	12,43	2486,00	2487,00	-0,040
30	111,67	27,918	12,918	2.583,50	12,91	2582,00	2583,00	-0,039
35	113,61	28,403	13,403	2.680,50	13,40	2680,00	2675,00	0,187
40	115,54	28,885	13,885	2.777,00	13,88	2776,00	2774,00	0,072
45	117,47	29,368	14,368	2.873,50	14,36	2872,00	2868,00	0,139
50	119,40	29,850	14,850	2.970,00	14,85	2970,00	2959,00	0,370
55	121,32	30,330	15,330	3.066,00	15,33	3066,00	3056,00	0,326
60	123,24	30,810	15,810	3.162,00	15,81	3162,00	3150,00	0,380

Tabla 6



Grafica 6

B.3.- Prueba 4 (con corrección de errores)

En esta prueba se utiliza el mismo esquema electrónico utilizado en los dos apartados anteriores y siguiendo la misma metodología de ajuste. Los valores una vez realizado el ajuste son los siguientes:

G_{CAM1}= 12.6

G_{CAM2}= 10.1

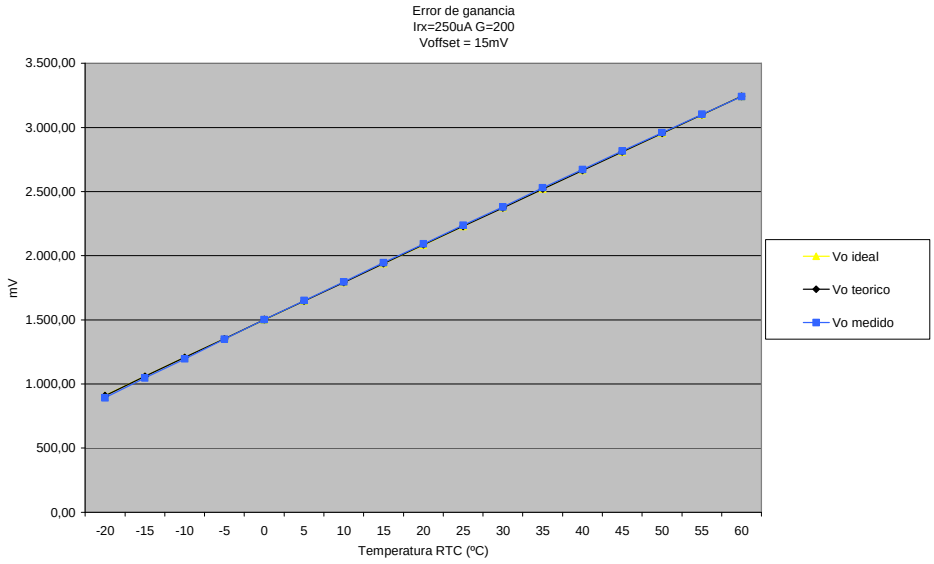
G_{CAM3a}=G_{CAM3b}= 20.1

VR-VMR=15mV

obteniendo los resultados en la tabla 7 y la grafica 7:

Temp	PT-100 Ω	V_{RTC} mV (I_{RTC} uA)	Vdiff mV (Vrfija V)	Vo ideal V (Ganancia)	Vdiff medido mV	Vo teórico mV	Vo sin filtro mV	Error de gan. %
		250	20	300				
-20	92,16	23,040	3,040	912,00	3,03	909,00	893,00	1,760
-15	94,12	23,530	3,530	1.059,00	3,53	1059,00	1048,00	1,039
-10	96,09	24,023	4,023	1.206,75	4,02	1206,00	1196,00	0,829
-5	98,04	24,510	4,510	1.353,00	4,51	1353,00	1350,00	0,222
0	100,00	25,000	5,000	1.500,00	5,01	1503,00	1502,00	0,067
5	101,95	25,488	5,488	1.646,25	5,49	1647,00	1650,00	-0,182
10	103,90	25,975	5,975	1.792,50	5,97	1791,00	1797,00	-0,335
15	105,85	26,463	6,463	1.938,75	6,46	1938,00	1945,00	-0,361
20	107,79	26,948	6,948	2.084,25	6,95	2085,00	2092,00	-0,336
25	109,73	27,433	7,433	2.229,75	7,43	2229,00	2238,00	-0,404
30	111,67	27,918	7,918	2.375,25	7,91	2373,00	2381,00	-0,337
35	113,61	28,403	8,403	2.520,75	8,40	2520,00	2530,00	-0,397
40	115,54	28,885	8,885	2.665,50	8,88	2664,00	2672,00	-0,300
45	117,47	29,368	9,368	2.810,25	9,36	2808,00	2816,00	-0,285
50	119,40	29,850	9,850	2.955,00	9,85	2955,00	2960,00	-0,169
55	121,32	30,330	10,330	3.099,00	10,33	3099,00	3102,00	-0,097
60	123,24	30,810	10,810	3.243,00	10,81	3243,00	3240,00	0,093

Tabla 7



Grafica 7

4. Manual de usuario

Diseño de la tarjeta emuladora PT-100

Para el sistema de pruebas se ha elegido emular el comportamiento de una RTC PT-100 siguiendo el modelo de bloques mostrado en la figura 59.

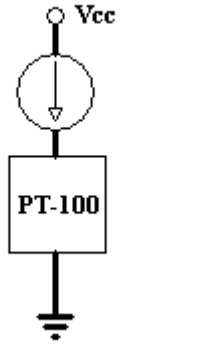


Figura 59 – Modelo de funcionamiento para la PT-100

Para el diseño de la fuente de intensidad se ha optado por la utilización de un AO en configuración inversora, siendo la impedancia de la rama de realimentación la RTC junto con un resistor para la corrección de offset y la impedancia de entrada la encargada de fijar la intensidad a través de la RTC junto con el voltaje generado por el voltaje de referencia VRef. Además, se introduce un voltaje flotante, Voffset, en la entrada no inversora del AO y en el voltaje de referencia con el objetivo de obtener un voltaje comprendido entre Vcc y la masa en la salida Vo, ver figura 60.

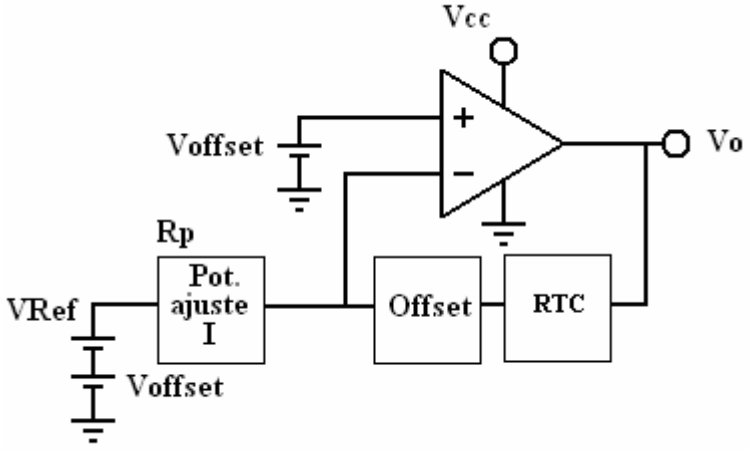


Figura 60 – Esquema electronico del modelo de la figura 59

Cálculo de valores

El rango de temperaturas de la PT-100 sobre el cuál se han realizado las pruebas esta comprendido entre -20ºC y 60ºC que corresponden con 92,16 Ω y 123,24 Ω respectivamente.

El voltaje de referencia (VRef) elegido es de 2,5 V, el voltaje de offset (Voffset) utilizado es el VMR disponible en la FPAA de 2V y el voltaje de alimentación (Vcc), aprovechando la alimentación de la FPAA, es de 5 V. La intensidad elegida para alimentar a la PT-100 es de 250uA, lo que implica que el potenciometro R_p tiene que cumplir la siguiente ecuación:

$$R_p = \frac{V_{Ref}}{I_{RTC}}$$

con lo que se obtenemos una $R_{Fijación}$ de:

$$R_p = \frac{2,5}{250 \cdot 10^{-6}} = 10K\Omega$$

Con la fijación de la intensidad a través de la RTC se obtiene un margen de voltajes para el rango de temperaturas entre -20º C y 60º C siguiente:

$$V_{-20ºC} = i \cdot R_{-20ºC} = 250 \cdot 10^{-6} \cdot 92,16 = 23,04mV$$
$$V_{60ºC} = i \cdot R_{60ºC} = 250 \cdot 10^{-6} \cdot 123,24 = 30,81mV$$

lo cuál implica un margen dinámico de :

$$V_{60ºC} - V_{-20ºC} = 30,81 - 23,04 = 7,77mV$$

con un offset no corregido de 23,04mV. Este margen dinámico permite aplicar diferentes ganancias para realizar las pruebas deseadas al diseño del AI sobre la FPAA, obteniendo los siguientes márgenes dinámicos a la salida del AI sobre la FPAA:

$$V_{G=100} = \Delta V_{RTC} \cdot G = 7,77 \cdot 10^{-3} \cdot 100 = 777mV$$
$$V_{G=200} = \Delta V_{RTC} \cdot G = 7,77 \cdot 10^{-3} \cdot 200 = 1.554mV$$
$$V_{G=300} = \Delta V_{RTC} \cdot G = 7,77 \cdot 10^{-3} \cdot 300 = 2.331mV$$

Estos márgenes son compatibles con el máximo permitido por la celda de salida de la FPAA en modo alta precisión, que es de 3V.

Ahora incluyendo el offset no corregido, los valores a la salida del AI son los siguientes:

$$(V + V_{offset})_{G=100} = (\Delta V_{RTC} + V_{offset}) \cdot G = (7,77 + 23,04) \cdot 10^{-3} \cdot 100 = 3.081mV$$
$$(V + V_{offset})_{G=200} = (7,77 + 23,04) \cdot 10^{-3} \cdot 200 = 6.162mV$$
$$(V + V_{offset})_{G=300} = (7,77 + 23,04) \cdot 10^{-3} \cdot 300 = 9.243mV$$

Si el margen ofrecido por la FPAA es de 3V (VMR ± 1,5V), al aplicar una ganancia de 200 o 300 no estamos trabajando dentro de ese margen. Por tanto hay que corregir el offset de base. Quedando fijado en:

- -15mV para G=200
- -20mV para G=300

lo cuál implica que los nuevos valores máximos son los siguientes:

$$V + V_{offset} = (\Delta V_{RTC} + V_{offsetbase} - V_{offset}) \cdot G$$

$$(V + V_{offset})_{G=200} = (7,77 + 23,04 - 15) \cdot 10^{-3} \cdot 200 = 3.162 mV$$

$$(V + V_{offset})_{G=300} = (7,77 + 23,04 - 20) \cdot 10^{-3} \cdot 300 = 3.243 mV$$

cumpliendo el margen dinámico ofrecido por la FPAA. Para obtener estos valores de offset se calcula el valor de la resistencia de ajuste de offset:

$$R_{offset} = \frac{V_{offset}}{I_{RTC}}$$

$$R_{offset}\Big|_{G=200} = \frac{15 \cdot 10^{-3}}{250 \cdot 10^{-6}} = 60\Omega$$

$$R_{offset}\Big|_{G=300} = \frac{20 \cdot 10^{-3}}{250 \cdot 10^{-6}} = 80\Omega$$

Esquema final

Una vez realizados todos los cálculos, el diseño del esquema final es el mostrado en la figura 61. El resistor de 1KΩ se utiliza para la limitación de intensidad necesaria para el funcionamiento del voltaje de referencia. El potenciómetro de 15KΩ se fija a 10KΩ para obtener la intensidad de 250uA. El potenciómetro de 200Ω entre los puntos VR-Vn se utiliza para la fijación del offset y el restante potenciómetro emula la PT-100.

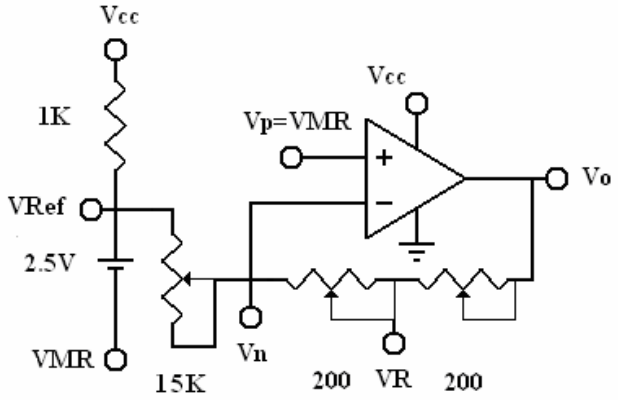


Figura 61 – Esquema electronico de la tarjeta de pruebas

Puntos de medición

Para efectuar las medidas se realizan sobre los puntos Vn, Vp, VR y Vo de la figura 61. Para el modelado del AI hay que tener en cuenta el signo positivo o negativo del voltaje a medir por el AI. Para realizar las mediciones se hacen en modo diferencial, fijando la referencia a VMR en el punto Vp, lo cual implica que el AO en el punto VR y Vo ofrece valores negativos sobre esta referencia. Si la ecuación de funcionamiento del AI es la siguiente:

$$V_{out} = (V1 - V2) \cdot G_{AI}$$

En el caso de efectuar una medición sobre la RTC y eliminar el posible offset del AO entre los puntos Vp y Vn, la ecuación de funcionamiento es la siguiente:

$$V_{out} = ([-G_1 \cdot (Vo - Vp)] - [-G_{1'} \cdot (Vn - Vp)]) \cdot G_2$$

donde:- Vo - Vp = V1, voltaje de la RTC .

- Vn - Vp = V2, voltaje de offset del AO.
- $-G_1 = -G_{1'}$ es la ganancia encarga de invertir el voltaje negativo ofrecido por el AO.
- $G_1 \cdot G_2 = G_{AI}$

teniendo en cuenta que el potenciómetro VR-Vn = 0 Ω. En el caso de querer utilizar el potenciómetro VR-Vn para ajustar el offset con ganancias de 200 y/o 300, la ecuación de funcionamiento es la siguiente:

$$V_{out} = ([-G_1 \cdot (Vo - Vp)] - [-G_{1'} \cdot (VR - Vp)]) \cdot G_2$$

donde:- Vo - Vp = V1, voltaje de la RTC + offset ajustado

- VR - Vp = V2, offset ajustado
- $-G_1 = -G_{1'}$ es la ganancia encarga de invertir el voltaje negativo ofrecido por el AO.
- $G_1 \cdot G_2 = G_{AI}$

Ganancias del A.I.

Como se explicó en el apartado 3.1, la ganancia del AI se divide en dos etapas correspondientes a los CAM utilizados; siendo G_1 y $G_{1'}$ del apartado anterior las ganancias de los CAM1 y CAM1' y G_2 la ganancia del CAM2.

5. Conclusiones

A lo largo de este PFC se explica el funcionamiento de los condensadores conmutados y su utilización con amplificadores operacionales. Este tipo de tecnología fue una de las razones que motivaron este estudio.

Se ha conseguido comprender y explicar el funcionamiento de este tipo de dispositivos, así como su potencial para la producción de sistemas de medida.
Implementado un AI sobre una FPAA AN221E04 del fabricante Anadigm y realizando una serie de pruebas se puede observar que la precisión de este tipo de dispositivos es mas que aceptable.

Se utilizó un sistema de pruebas muy sencillo, que reproduce el comportamiento de un sensor de temperatura ampliamente extendido como es el PT-100, se han podido efectuar una serie de pruebas para comprobar la capacidad de esta FPAA para implementar un AI básico.

En una primera aproximación y sin ajustes se ha conseguido una precisión de ganancia comprendida entre 1,73% y 9,83% con una ganancia de 100 V/V. Incrementando el valor de ganancia hasta 300 V/V se observó que dicho error aumentaba considerablemente, -31,68% a 17,82%. Se comprobó que este error esta influenciado por la conmutación interna de los condensadores, lo cuál produce a la salida de la FPAA una señal compuesta por un nivel de continua y una serie de componentes en frecuencia que provocan que el error de ganancia se incremente notablemente. Para minimizar este error sustancialmente se añade al modelo de AI un filtro disponible en la etapa de salida de la FPAA consiguiendo mejorar la respuesta del AI hasta alcanzar un error comprendido entre -0,087% y 1,461% con una ganancia de 100V/V y un error de -20,175% y 11,81% para una ganancia de 300 V/V.

En una segunda aproximación se sustituye el filtro de la etapa de salida debido a sus limitaciones de frecuencia de corte por un CAM que realiza las funciones de filtrado y además se procede a un ajuste del offset y de la ganancia mediante la variación de los valores de configuración en la herramienta CAD. Gracias a estos ajustes se consiguen unos resultados más que aceptables. El nuevo error de ganancia para 100 V/V pasa a estar comprendido entre -0,153% y -0,673 mientras que para una ganancia de 300 V/V pasa a ser entre 1,76% y -0,404%.

A la vista de estas pruebas se puede concluir que la precisión de este tipo de dispositivos los convierte en una opción a tener en cuenta a la hora de diseñar sistemas de medida.

A parte de la precisión obtenida, si se tiene en cuenta el costo de estos dispositivos, en torno a los 7,65$, la sencillez del diseño gracias a la herramienta CAD y su polivalencia, este tipo de dispositivos tiene un gran campo de aplicación a un costo relativamente bajo. Como inconveniente, esta el hecho del incremento de la complejidad a la hora del diseño de la PCB, ya que la configuración de esta familia de FPAA se realiza a través de un bus SPI.

No obstante, una vez diseñada una PCB genérica, dicha PCB se puede utilizar para un gran campo de aplicaciones, reduciendo los costes de producción y simplificando la logística, ya que se simplifican el número de componentes y su variabilidad frente a soluciones basadas en componentes discretos.

También cabe destacar que gracias a la capacidad de reconfiguración “al vuelo” se podría diseñar un sistema de ajuste automático que simplificaría sustancialmente dicho ajuste, teniendo en cuenta, por ejemplo, la degradación de los sensores con el paso del tiempo, o el desgaste de los sistemas mecanicos que utilicen estos dispositivos. Por otra parte, esta capacidad permitiría teóricamente la mutiplexación de diferentes señales de medida con una sola FPAA volviendo a simplificar en número de componentes a la hora de diseñar sistemas de cierta complejidad.

Como desventajas, estos dispositivos al ser sistemas muestreados, tienen sus mismas limitaciones, como la frecuencia de muestreo. Además si tenemos en cuenta que la frecuencia de trabajo de los CAM (frecuencia de muestreo) influye directamente en los valores de configuración disponibles en los CAM, esto obliga a tener que alcanzar un compromiso entre dicha frecuencia y los valores de configuración deseados por el diseñador, produciéndose por tanto una limitación. También hay que tener en cuenta que los valores de configuración de CAM son finitos, es decir no siempre será posible obtener las configuraciones deseadas.

Por último, y no menos importante, hay que tener muy en cuenta, que internamente los condensadores al estar conmutando producen ruido, además de impedancias parasitarias que en algún caso pueden provocar efectos desconocidos, siendo necesario un trabajo extra de test y medida exhaustivo.

Como conclusión final y en mi opinión, este tipo de dispositivos pueden perfectamente hacerse un hueco en el gran mercado de la instrumentación electrónica y competir directamente con otro tipo de soluciones convencionales. También me gustaría destacar que la técnica de condensadores conmutados no lleva más de 10 o 15 años en el mercado y su potencial desarrollo permitiría un cambio sustancial en la forma de diseñar sistemas analógicos.

Este PFC solamente se ha centrado en señales continuas, dejando abierta la puerta para el estudio de estos dispositivos con señales alternas, cabiendo destacar que el propio fabricante dispone de líneas de productos enfocadas al audio, al filtrado y al control de sistemas mediante técnicas PID.

6. Bibliografía

Diseño con amplificadores operacionales y circuitos integrados analógicos 3ª edición.
Sección 2.5 Amplificadores de instrumentación
Fecha de publicación: 2004
Autor: Sergio Franco
Editorial: McGraw Hill

AN2041 Analog - Understanding Switched Capacitor
Fecha de publicación: April 11, 2008 Document No. 001-40440 Rev. *B
Autor: Dave Van Ess
Cypress

EE 315 Lecture 6
Switched Capacitor Circuits
Fecha de publicación: 2005
Autor: Boris Murmann
Stanford University

Desing of Analog CMOS Integrated Circuits
Chapter 12 Introduction to Switched-Capacitor Circuits
Fecha de publicación: 2001
Autor: Behzad Razavi
Editorial: McGraw Hill

Documentación Anadigm

- App Note 205 Interfacing Analog Signals to the Anadigmvortex FPAA Devices
- Theory-Basic SC and Anadigm
- AN221E04 Datasheet
- AN221E04 User manual
- AN221K04 v4 User manual
- Ayuda sofware Anadigm designer 2

ANx21 Input Cell with Output Option

Copyright 2001, 2002, 2003, 2004
All rights reserved.

Hardware Compatibility

This Input Cell is available on the following chip types:
AN121E04, AN221E04, AN221E02

The ANx21 Input Cells have a variety of programmable options and parameters. In Output Mode, the Input Cell can be used as an additional output to route signals out of the chip.

Signal Representations and Grounds
CAM Option: I/O Mode
CAM Option: Input
CAM Option: Input Amplifier
CAM Option: Anti-Alias Filter
CAM Option: Status
CAM Parameter: Corner Frequency
CAM Parameter: Gain
C Code
Design Note: Bypass Mode

Signal Representations and Grounds

It is important to understand the way that signals are represented in AnadigmDesigner2.0 and used with the ANx21 family of chips. Differential signals can be represented in two ways, either by their positive and negative components or by their differential and common-mode components, as related through these two equations:

$$V_{Differential} = V_{Positive} - V_{Negative} \qquad V_{CM} = \frac{V_{Positive} + V_{Negative}}{2}$$

Signals external to the chip are represented in the AnadigmDesigner2.0 simulator as earth ground (0 V) referenced signals. Each differential signal's positive and negative components are independently represented and may be viewed on the virtual oscilloscope just as those two signals could be measured with a real oscilloscope when working with an ANx21 chip. This allows the use of single-ended signals outside the chip.

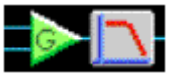
Analog signals within the chip are always differential. For simplification, the AnadigmDesigner2.0 simulator represents these differential signals with their differential component only. The common mode component of the signals within the

chip is not represented in the simulator. This is possible because strong common-mode feedback within the chip components ensures that the common mode voltage of any signal is very nearly signal ground (2.0 V). This simplification allows for cleaner schematics and simplified wiring within the chip. A single line may represent a differential wire, and the differential input or output of CAMs may be represented by a single contact.

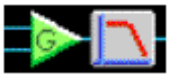
The transformation of these signal representations, between individual component representation outside the chip and simplified differential signal representation within the chip, is accomplished in the chip's input and output cells. The input cell can operate in differential or single-ended mode so that either type of signal may be applied to the chip. Note that a single-ended input must be referenced to signal ground (2.0 V).

When configured in Output Mode, this cell's output pins are driven directly by the CAM that provides input to it. This will most often be a differential output signal with common mode voltage equal to signal ground. When viewing only the positive or negative component, the signal is the same as a single-ended signal referenced to signal ground (2.0 V) with half the amplitude of the differential signal (inverted in the case of V_N).

CAM Option: I/O Mode		
Input		This is the symbol for an input cell in bypass mode with the amp and filter turned off. Other versions are available. In this mode, the Input Cell can be used to route signals into the chip.
Output		In this mode, the Input Cell can be used as an additional output to route signals out of the chip. The output signal is routed directly through the cell, bypassing all active circuit elements. The output pins are driven directly by the CAM that provides input to this Cell. Take note of the drive limitations of CAMs and CAB amplifiers. In this mode an external filter should be used to remove higher frequency components that are introduced by sampling.

CAM Option: Input		
Differential		This is the symbol for an input cell with both the amp and filter turned on. Other versions are available. In this mode, the input signal is the difference of the voltages applied to the two inputs.
Single-ended		This is the symbol for an input cell with both the amp and filter turned on. Other versions are available. In this mode, the input signal is the single-ended voltage applied to the input, referenced to signal ground (2.0 V).

CAM Option: Input Amplifier		
Low Offset Chopper		This is the symbol for a differential input cell with the filter turned off. Other versions are available. The chopper amplifier has an input offset less than 100 µV. This allows small input signals to be accurately amplified so that they will be less affected by higher input offsets in the switched capacitor core of the chip. A filter to attenuate the signal component at the chopper clock frequency should typically follow the chopper amplifier.
Amplifier		This is the symbol for a differential input cell with the filter turned off. Other versions are available. The differential amplifier can be used for single-ended input in the absence of the chopper or anti-alias filter.
Off		This is the symbol for a differential input cell with the filter turned off. Other versions are available. With both the amplifier and the filter turned off, the input cell is in bypass mode. The input signals are routed directly through the cell, bypassing all active circuit elements. The designer must assure that the signal levels (Vp, Vn, and common mode voltage) are appropriate for the CAMs that they are routed to.

CAM Option: Anti-Alias Filter		The anti-alias filter is implemented with two cascaded, single-pole, continuous-time filters.
Off		This is the symbol for a differential input cell with the amp turned on. Other versions are available. The programmable range of this two-pole filter may not be suitable for some systems. In this case the anti-alias filter can be turned off and an external filter should be used to prevent signal alias problems in the switched capacitor CAMs constructed within the chip.
Low Pass Filter		This is the symbol for a differential input cell with the amp turned on. Other versions are available. This is intended to allow the removal of higher frequency components that would be aliased when the signal is sampled in switched capacitor CAMs constructed within the chip. The filter corner frequency should be set based on the signal frequency and sample clock rate.
Unity Gain Stage		This option implements a unity gain stage with no filtering. Please refer to the specifications for information about the input impedance of this stage. It is possible to use this with a single-ended input signal referenced to signal ground (2.0 V) (0 - 4 V referenced to earth ground) by connecting this input cell's negative pin to signal ground (2.0 V).

CAM Option: Status		This Option is only available when the Input Cell is selected in Output Mode.
On		When the Output Mode Input Cell is on, a signal can be passed through.
Off		When the Output Mode Input Cell is off, a signal will not be passed through.

CAM Parameters:			
Corner Frequency	76 – 470 kHz		This parameter is the corner frequency of the Anti-Alias Filter and will only be available when the Anti-Alias Filter is turned on. This parameter should be selected so that the corner frequency is far enough above the highest frequency component of the signal that the signal is not attenuated and far enough below the sampling rate set by the sampling clocks so that components above the Nyquist rate are attenuated and do not alias into the signal band.
Chopper Gain	16 – 128 V/V		This parameter will only be available when the Low Offset Chopper is turned on.

C Code

setInputFilter	Description	This function controls the corner frequency of the anti-alias filter on the input cell. This function will only be available if the filter is turned on in AnadigmDesigner2.
	Syntax	`#include "CAMCode.h"` `long setInputFilter (CAM nCAM, long Fo)`
	Parameters	**nCAM** – The CAM that is to be configured. **Fo** – The desired corner frequency, limited by the resolution and constraints of the input filter.
	Return Value	This function returns the realized corner frequency after the AN220 has been updated.
setInputGain	Description	This function controls the gain of the Low Offset Chopper or Amplifier. It will only be available if the Chopper or Amplifier are turned on in AnadigmDesigner2.
	Syntax	`#include "CAMCode.h"` `Byte setInputGain (CAM nCAM, Byte G)`
	Parameters	**nCAM** – The CAM that is to be configured. **G** – The desired gain for the amplifier or chopper.
	Return Value	This function returns the actual gain realized after then AN220 has been updated.
SetInputStatus	Description	These functions can be used to turn an Output Mode Input Cell on (true) or off (0). This function is only available when the Input Cell Mode is set to Output.
	Syntax	`#include "CAMCode.h"` `void setInputStatus (CAM nCAM, bool status)`
	Parameters	**nCAM** – The CAM that is to be configured. **status** –The desired status should be "true" to turn the Output Cell on or "0" to turn the Output Cell off.
	Return Value	None.

Design Note:

Bypass Mode:
With both the amplifier and the filter turned off, the input cell is in bypass mode. The input signals are routed directly through the cell, bypassing all active circuit elements. The designer must assure that the signal levels (Vp, Vn, and common mode voltage) are appropriate for the CAMs that they are routed to.

ANx21 Output Cell

Copyright 2001, 2002, 2003, 2004
All rights reserved.

Hardware Compatibility

This Input Cell is available on the following chip types:
AN121E04, AN221E04, AN221E02

The ANx21 Output Cells have a variety of programmable options and parameters.

Signal Representations and Grounds
CAM Option: Mode
CAM Option: Status
CAM Parameter: Corner Frequency
C Code

Signal Representations and Grounds

It is important to understand the way that signals are represented in AnadigmDesigner2.0 and used with the ANx21 family of chips. Differential signals can be represented in two ways, either by their positive and negative components or by their differential and common-mode components, as related through these two equations:

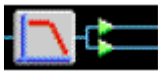
$$V_{Differential} = V_{Positive} - V_{Negative} \qquad V_{CM} = \frac{V_{Positive} + V_{Negative}}{2}$$

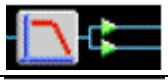
Signals external to the chip are represented in the AnadigmDesigner2.0 simulator as earth ground (0 V) referenced signals. Each differential signal's positive and negative components are independently represented and may be viewed on the virtual oscilloscope just as those two signals could be measured with a real oscilloscope when working with an ANx21 chip. This allows the use of single-ended signals outside the chip.

Analog signals within the chip are always differential. For simplification, the AnadigmDesigner2.0 simulator represents these differential signals with their differential component only. The common mode component of the signals within the chip is not represented in the simulator. This is possible because strong common-mode feedback within the chip components ensures that the common mode voltage of any signal is very nearly signal ground (2.0 V). This simplification allows for cleaner schematics and simplified wiring within the chip. A single line may represent a differential wire, and the differential input or output of CAMs may be represented by a single contact.

The transformation of these signal representations, between individual component representation outside the chip and simplified differential signal representation within

the chip, is accomplished in the chip's input and output cells. The output cell produces a differential output signal with common mode voltage equal to signal ground. When viewing only the positive or negative component, the signal is the same as a single-ended signal referenced to signal ground (2.0 V) with half the amplitude of the differential signal (inverted in the case of V_N).

CAM Option: Mode		
Voltage Output		In this mode, a reconstruction filter is implemented with two cascaded, single-pole, continuous-time filters. This is intended to allow the removal of higher frequency components that are introduced by the sampling behavior of the switched capacitor CAMs. The filter corner frequency should be set based on the signal frequency and sample clock rate. The programmable range of this two-pole filter may not be suitable for some systems. In this case an external filter should be used to remove higher frequency components that are introduced by sampling.
Bypass		In this mode, the output signal is routed directly through the cell, bypassing all active circuit elements. The output pins are driven directly by the CAM that provides input to the Output Cell. Take note of the drive limitations of CAMs and CAB amplifiers. In this mode an external filter should be used to remove higher frequency components that are introduced by sampling.
Digital Output		In this mode, a comparator connected to this Output Cell will produce a differential digital signal.

CAM Option: Status		
On		When the output cell is on, a signal can be passed through.
Off		When the output cell is off, a signal will not be passed through.

CAM Parameters:			
Corner Frequency	76 – 470 kHz		This parameter is the corner frequency of the Reconstruction Filter and will only be available when the filter is turned on. This parameter should be selected so that the corner frequency is far enough above the highest frequency component of the signal that the signal is not attenuated and far enough below the sampling rate set by the sampling clocks so that higher frequency components that are introduced by sampling are attenuated.

C Code

The available function to control the Status is determined by the Mode of the Output Cell:

setOutputFilter	Description	This function controls corner frequency of the reconstruction filter on the output cell. It is available only if the cell is configured for voltage output in AnadigmDesigner2.
	Syntax	`#include "CAMCode.h"` `long setOutputFilter (CAM nCAM, long Fo)`
	Parameters	**nCAM** – The CAM that is to be configured. **Fo** –The desired corner frequency, limited by the capabilities of the CAM.
	Return Value	This function returns the achieved corner frequency when the AN220 has been updated.

SetOutputBypassStatus or **SetOutputVoltageStatus** or **SetOutputDigitalStatus**	Description	These functions can be used to turn an Output Cell on (true) or off (0). The available function is determined by the Mode of the Output Cell.

	Syntax	`#include "CAMCode.h"`
		`void setOutputBypassStatus (CAM nCAM, bool status)`
		`void setOutputVoltageStatus (CAM nCAM, bool status)`
		`void setOutputDigitalStatus (CAM nCAM, bool status)`

	Parameters	**nCAM** – The CAM that is to be configured. **status** –The desired status should be "true" to turn the Output Cell on or "0" to turn the Output Cell off.
	Return Value	None.

Half Cycle Gain Stage

Copyright 2001, 2002, 2003, 2004
All rights reserved.

Hardware Compatibility

This CAM is compatible with the following chip types:
AN120E04, AN220E04, AN121E04, AN221E04, AN221E02, AN122E04, AN222E04, AN127E04, AN227E04

This CAM creates a half cycle gain stage. The input voltage is scaled by the value of the programmable gain, and this CAM may be either inverting or non-inverting. The output has amplifier input offset compensation during its valid output phase.

Related CAMs

The **GainInv** CAM creates a full cycle inverting gain stage. This gain stage has continuous input and continuous output that is always valid.

The **GainHold** CAM creates a half cycle inverting gain stage with output hold. It has a sampled input and an output that is valid during both phases. The output has amplifier input offset compensation during a single output phase. The upper gain limit may be higher than that of a GainHalf CAM.

CAM Option: Polarity
CAM Option: Input Sampling
CAM Parameter: Gain
Circuit Diagram and Design Equations
Output Characteristics
C Code

CAM Option: Polarity		
Non-inverting		This is the symbol for a gain stage with input phase 1. Other versions are available. The half cycle output is delayed by one phase (one half of a clock period) in the non-inverting version.
Inverting		This is the symbol for a gain stage with input phase 1. Other versions are available. The half cycle output is not delayed in the inverting version.

CAM Option: Input Sampling		This option determines when the CAM will sample its input signal, and should be set so that the input signal is valid during the input sampling phase.
Phase 1		This is the symbol for a non-inverting gain stage. Other versions are available. This version should be connected to sample a signal or CAM output that is either valid in phase 1 or continuously valid.
Phase 2		This is the symbol for a non-inverting gain stage. Other versions are available. This version should be connected to sample a signal or CAM output that is either valid in phase 2 or continuously valid.

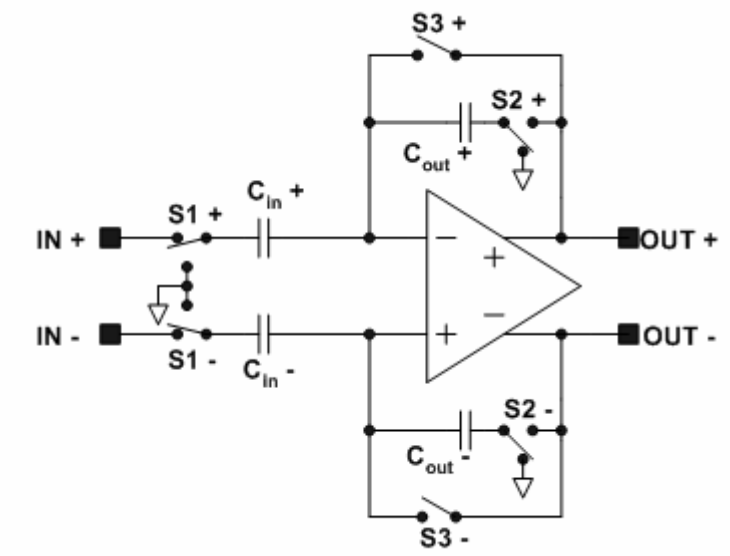
CAM Parameters:			
Gain	0.01 – 1.049 V/V 0.01 – 31.78 V/V 0.01 – 100.0 V/V	@ Fc = 4 MHz @ Fc = 250 kHz @ Fc = 50 kHz	The gain high limit is a function of the clock frequency.

Circuit Diagram and Design Equations:

The transfer function for this circuit is:

$$\frac{V_{out}}{V_{in}} = \pm G$$

The circuit realizing this CAM is shown in the figure at right.



The capacitor values are chosen based on the best ratios of the capacitors satisfying the following relations:

$$G = \frac{C_{in}}{C_{out}}$$

Switch phasing is dependent on CAM options. Most switches in this circuit diagram are shown to connect to both a signal path and to signal ground. Switch phasing for the signal path connection is shown in the following table. The switch is closed to signal ground on the opposite phase.

Switch Phases:				
Polarity	**Input Sampling**	**S1**	**S2**	**S3**
Non-inverting	Phase 1	Φ1	Φ2	Φ1
Non-inverting	Phase 2	Φ2	Φ1	Φ2
Inverting	Phase 1	Φ1	Φ1	Φ2
Inverting	Phase 2	Φ2	Φ2	Φ1

Output Characteristics

The inverting version of this CAM does not have additional phase delay due to sampling so the half cycle output is available during the input sampling phase. The non-inverting version of this CAM exhibits one phase (one half of a clock period) of delay. Therefore the half cycle output is available one phase (one half of a clock period) after the input was sampled. The appropriate phase for the input and output is shown on the symbol.

This CAM is half cycle with the output phase as a function of polarity and input sampling as stated. The output will be signal ground during the other clock phase. Therefore the output of this CAM is only valid during one phase.

C Code

Two functions are available for control of the Half Cycle Gain CAM within an application:

setGainHalf	Description	This function controls the gain of this CAM. All calculations are done with floating-point math.
	Syntax	`#include "CAMCode.h"` `double setGainHalf(CAM nCAM, double G);`
	Parameters	**nCAM** – The CAM to be configured **G** – The desired gain
	Return Value	The actual gain realized by the function, expressed as a double floating value.
fixed_setGainHalf	Description	This function controls the gain of this CAM. All calculations are done with fixed-point math.
	Syntax	`#include "CAMCode.h"` `double setGainHalf(CAM nCAM, double G);`
	Parameters	**nCAM** – The CAM to be configured **G** – The desired gain
	Return Value	The actual gain realized by the function, expressed as a double floating value.

Half Cycle Sum/Difference Stage

Copyright 2001, 2002, 2003, 2004
All rights reserved.

Hardware Compatibility

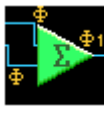
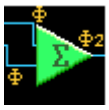
This CAM is compatible with the following chip types:
AN120E04, AN220E04, AN121E04, AN221E04, AN221E02, AN122E04, AN222E04

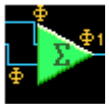
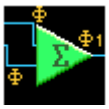
This CAM creates a half cycle summing stage with up to four inputs. The inputs may be either inverting or non-inverting so that both sums and differences may be created in the transfer function. Each input branch has a programmable gain. The output has amplifier input offset compensation during its valid output phase.

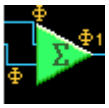
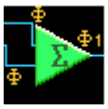
Related CAMs
The **SumFilter** CAM creates a full cycle summing stage with up to three inputs that includes a single pole low pass filter. The inputs may be either inverting or non-inverting so that both sums and differences may be created in the transfer function.

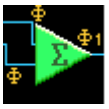
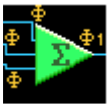
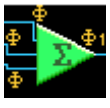
The **SumInv** CAM creates a full cycle inverting summing stage with up to three inputs.

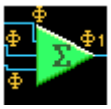
CAM Option: Output Phase
CAM Option: Input 1
CAM Option: Input 2
CAM Option: Input 3
CAM Option: Input 4
CAM Parameter: Gain
Circuit Diagram and Design Equations
Output Characteristics
C Code

CAM Option: Output Phase		This option determines when the CAM will produce its half cycle output. During the unselected output phase, the CAM will output signal ground. The input sampling phase of each input branch is determined by a combination of this option and the polarity of that input branch.
Phase 1		This is the symbol for a sum/difference stage with two inputs. Other versions are available. This CAM will produce the half cycle output on phase 1. Input sampling will be phase 1 for inverting input branches and phase 2 for non-inverting input branches.
Phase 2		This is the symbol for a sum/difference stage with two inputs. Other versions are available. This CAM will produce the half cycle output on phase 2. Input sampling will be phase 2 for inverting input branches and phase 1 for non-inverting input branches.

CAM Option: Input 1		Input branch 1 is the top input branch.
Non-inverting		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. This input branch will sample opposite the output phase. The output voltage will include the term, $+V_{In1} \times Gain1$, during the selected output phase.
Inverting		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. This input branch will sample during the selected output phase. The output voltage will include the term, $-V_{In1} \times Gain1$, during the selected output phase.

CAM Option: Input 2		Input branch 2 is the second input branch from the top.
Non-inverting		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. This input branch will sample opposite the output phase. The output voltage will include the term, $+V_{In2} \times Gain2$, during the selected output phase.
Inverting		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. This input branch will sample during the selected output phase. The output voltage will include the term, $-V_{In2} \times Gain2$, during the selected output phase.

CAM Option: Input 3		Input branch 3 is the third input branch from the top.
Off		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. There are only two input branches when Input 3 is off.
Non-inverting		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. This input branch will sample opposite the output phase. The output voltage will include the term, $+V_{In3} \times Gain3$, during the selected output phase.
Inverting		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. This input branch will sample during the selected output phase. The output voltage will include the term, $-V_{In3} \times Gain3$, during the selected output phase.

CAM Option: Input 4		Input branch 4 is the fourth input branch from the top.
Off		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. There are only three input branches when Input 4 is off.
Non-inverting		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. This input branch will sample opposite the output phase. The output voltage will include the term, $+V_{In4} \times Gain4$, during the selected output phase.
Inverting		This is the symbol for a sum/difference stage with output phase 1. Other versions are available. This input branch will sample during the selected output phase. The output voltage will include the term, $-V_{In4} \times Gain4$, during the selected output phase.

CAM Parameters:			Requesting a gain of zero has the effect of turning off the input branch.
Gain 1	0 – 1.049 V/V 0 – 31.78 V/V 0 – 100.0 V/V	@ Fc = 4 MHz @ Fc = 250 kHz @ Fc = 50 kHz	The gain high limit is a function of the clock frequency. Gain limits are also interrelated with the other Gain values that may restrict the range to less than its absolute limits.
Gain 2	0 – 1.049 V/V 0 – 31.78 V/V 0 – 100.0 V/V	@ Fc = 4 MHz @ Fc = 250 kHz @ Fc = 50 kHz	The gain high limit is a function of the clock frequency. Gain limits are also interrelated with the other Gain values that may restrict the range to less than its absolute limits.
Gain 3	0 – 1.049 V/V 0 – 31.78 V/V 0 – 100.0 V/V	@ Fc = 4 MHz @ Fc = 250 kHz @ Fc = 50 kHz	Gain 3 is not a parameter if the Input 3 option is turned off. The gain high limit is a function of the clock frequency. Gain limits are also interrelated with the other Gain values that may restrict the range to less than its absolute limits.
Gain 4	0 – 1.049 V/V 0 – 31.78 V/V 0 – 100.0 V/V	@ Fc = 4 MHz @ Fc = 250 kHz @ Fc = 50 kHz	Gain 4 is not a parameter if the Input 3 option is turned off. The gain high limit is a function of the clock frequency. Gain limits are also interrelated with the other Gain values that may restrict the range to less than its absolute limits.

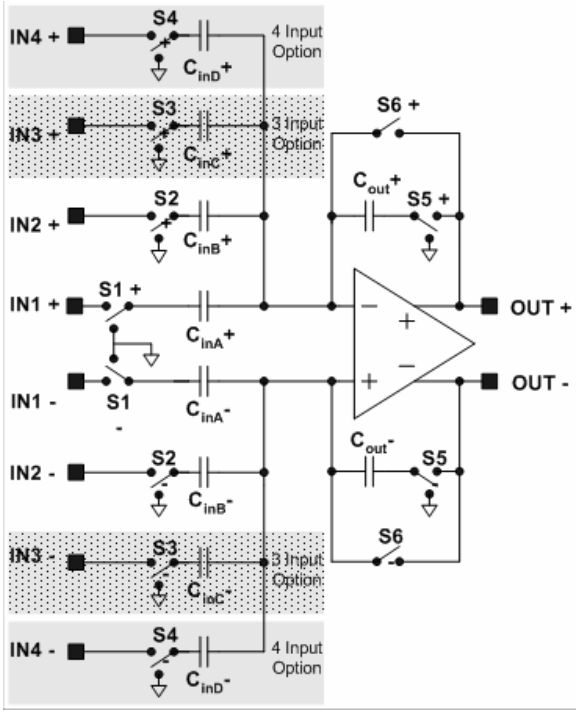
Circuit Diagram and Design Equations:
The transfer function for this circuit is:

$$V_{Out} = \pm G_1 V_{Input1} \pm G_2 V_{Input2} \pm G_3 V_{Input3} \pm G_4 V_{Input4}$$

The numbered G variables are the Gains of the various input branches and the numbered V_{Input} variables are the input voltages at the various input branches. The third and fourth terms of this equation will only be implemented if the corresponding CAM Option Input is turned on. The sign of each term is dependent on the polarity selected for each input branch in the CAM Options. Terms are added for non-inverting inputs and subtracted for inverting inputs. For example, the transfer function for this CAM configured with only two non-inverting inputs is:

$$V_{Out} = +G_1 V_{Input1} + G_2 V_{Input2}$$

The circuit realizing this CAM is shown in the figure at right. The third and fourth input branches of this circuit will only be implemented if the corresponding CAM Option Input is turned on.



The capacitor values are chosen based on the best ratios of the capacitors satisfying the following relations:

$$G_1 = \frac{C_{inA}}{C_{out}} \qquad G_2 = \frac{C_{inB}}{C_{out}}$$

$$G_3 = \frac{C_{inC}}{C_{out}} \qquad G_4 = \frac{C_{inD}}{C_{out}}$$

Switch phasing is dependent on CAM options. Most switches in this circuit diagram are shown to connect to both a signal path and to signal ground. Switch phasing for the signal path connection is shown in the following table. The switch is closed to signal ground on the opposite phase.

Switch Phases:

Output Phase	S1	S2	S3	S4	S5	S6
Phase 1	Φ2 if Input1 is Non-inverting	Φ2 if Input2 is Non-inverting	Φ2 if Input3 is Non-inverting	Φ2 if Input4 is Non-inverting	Φ1	Φ2
	Φ1 if Input1 is Inverting	Φ1 if Input2 is Inverting	Φ1 if Input3 is Inverting	Φ1 if Input4 is Inverting		
Phase 2	Φ1 if Input1 is Non-inverting	Φ1 if Input2 is Non-inverting	Φ1 if Input3 is Non-inverting	Φ1 if Input4 is Non-inverting	Φ2	Φ1
	Φ2 if Input1 is Inverting	Φ2 if Input2 is Inverting	Φ2 if Input3 is Inverting	Φ2 if Input4 is Inverting		

Output Characteristics

Inverting input branches do not have additional phase delay due to sampling so these branches sample during the output phase. Non-inverting input branches exhibit one phase (one half of a clock period) delay. Therefore non-inverting input branches sample their input one phase (one half of a clock period) before the output phase. The appropriate phase for each input branch and the output is shown on the symbol.

This CAM is half cycle. The output will be signal ground during the clock phase that is not selected as the output phase. Therefore the output of this CAM is only valid during the selected output phase.

C Code

Six functions are available for control of the Half Cycle Sum/Difference CAM:

setGainSumDiff_2in	Description	This function controls the gain of the inputs to this CAM. All calculations are done with floating-point math. This function is available when the CAM is configured for two inputs.
	Syntax	`#include "CAMCode.h"` `void setGainSumDiff_2in (CAM nCAM, double G1, double G2)`
	Parameters	**nCAM** – The CAM that is to be configured. **G1** – The desired gain for the first input. **G2** – The desired gain for the second input.
	Return Value	This function currently does not return a result.
fixedp_setGainSumDiff_2in	Description	This function controls the gain of the inputs to this CAM. All calculations are done with fixed-point math, which will be faster on processors without hardware floating-point support. This function is available when the CAM is configured for two inputs.
	Syntax	`#include "CAMCode.h"` `void fixedp_setGainSumDiff_2in (CAM nCAM, double G1, double G2)`
	Parameters	**nCAM** – The CAM that is to be configured. **G1** – The desired gain for the first input. **G2** – The desired gain for the second input.
	ReturnValue	This function currently does not return a result.

setGainSumDiff_3in	Description	This function controls the gain of the inputs to this CAM. All calculations are done with floating-point math. This function is available when the CAM is configured for three inputs.
	Syntax	`#include "CAMCode.h"` `void setGainSumDiff_3in (CAM nCAM, double G1, double G2, double G3)`
	Parameters	**nCAM** – The CAM that is to be configured. **G1** – The desired gain for the first input. **G2** – The desired gain for the second input. **G3** – The desired gain for the third input.
	ReturnValue	This function currently does not return a result.
fixedp_setGainSumDiff_3in	Description	This function controls the gain of the inputs to this CAM. All calculations are done with fixed-point math, which will be faster on processors without hardware floating-point support. This function is available when the CAM is configured for three inputs.
	Syntax	`#include "CAMCode.h"` `void fixedp_setGainSumDiff_3in (CAM nCAM, double G1, double G2, double G3)`
	Parameters	**nCAM** – The CAM that is to be configured. **G1** – The desired gain for the first input. **G2** – The desired gain for the second input. **G3** – The desired gain for the third input.
	ReturnValue	This function currently does not return a result.

setGainSumDiff_4in	Description	This function controls the gain of the inputs to this CAM. All calculations are done with floating-point math. This function is available when the CAM is configured for four inputs.
	Syntax	`#include "CAMCode.h"` `void setGainSumDiff_4in (CAM nCAM, double G1, double G2, double G3, double G4)`
	Parameters	**nCAM** – The CAM that is to be configured. **G1** – The desired gain for the first input. **G2** – The desired gain for the second input. **G3** – The desired gain for the third input. **G4** – The desired gain for the fourth input.
	ReturnValue	This function currently does not return a result.
fixedp_setGainSumDiff_4in	Description	This function controls the gain of the inputs to this CAM. All calculations are done with fixed-point math, which will be faster on processors without hardware floating-point support. This function is available when the CAM is configured for four inputs.
	Syntax	`#include "CAMCode.h"` `void fixedp_setGainSumDiff_4in (CAM nCAM, double G1, double G2, double G3, double G4)`
	Parameters	**nCAM** – The CAM that is to be configured. **G1** – The desired gain for the first input. **G2** – The desired gain for the second input. **G3** – The desired gain for the third input. **G4** – The desired gain for the fourth input.
	ReturnValue	This function currently does not return a result.

Sample and Hold

Copyright 2001, 2002, 2003, 2004
All rights reserved.

Hardware Compatibility

This CAM is compatible with the following chip types:
AN120E04, AN220E04, AN121E04, AN221E04, AN221E02, AN122E04, AN222E04, AN127E04, AN227E04

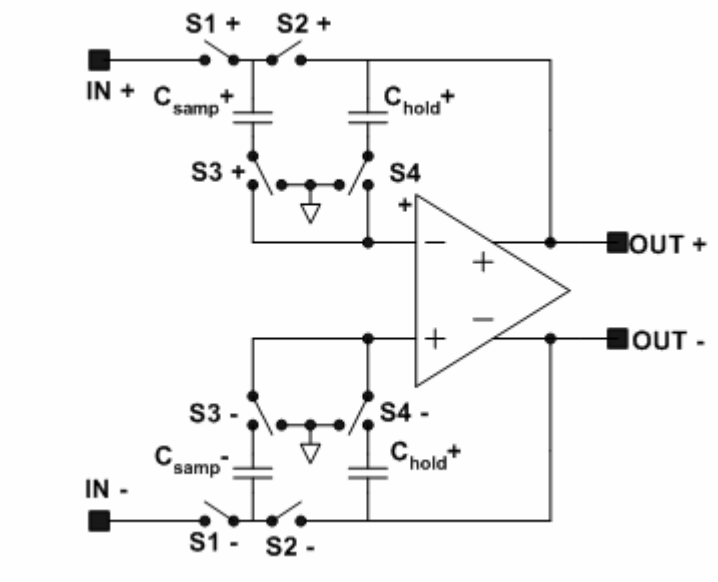
This CAM creates a sample and hold. The voltage sampled during the input sampling phase is held at the output for the two following phases (one full clock period).

CAM Option: Input Sampling
Circuit Diagram and Design Equations
Output Characteristics

CAM Option: Input Sampling		This option determines when the CAM will sample its input signal, and should be set so that the input signal is valid during the input sampling phase.
Phase 1		This version should be connected to sample a signal or CAM output that is either valid in phase 1 or continuously valid. The output voltage will be held throughout the following phase 2 and phase 1
Phase 2		This version should be connected to sample a signal or CAM output that is either valid in phase 2 or continuously valid. The output voltage will be held throughout the following phase 1 and phase 2

Circuit Diagram and Design Equations:

The circuit realizing this CAM is shown in the figure at right.
The capacitor values are all set to 255 units.
Switch phasing is dependent on CAM options. Most switches in this circuit diagram are shown to connect to both a signal path and to signal ground. Switch phasing for the signal path connection is shown in the following table. The switch is closed to signal ground on the opposite phase.



Switch Phases:				
Input Sampling	**S1**	**S2**	**S3**	**S4**
Phase 1	Φ1	Φ2	Φ2	Φ1
Phase 2	Φ2	Φ1	Φ1	Φ2

Output Characteristics

This CAM has a phase delay due to sampling. The input voltage will be held for one full clock period (two phases) after the end of the input sampling phase so that the output of this CAM is valid during both phases.